

CA-IS1311 5-kV_{RMS} 用于电压检测的隔离式运放

1 产品特性

- 输入电压范围: -0.1 V 到 2 V
- 高输入阻抗: $1\text{ G}\Omega$ (典型值)
- 固定初始增益: 1
- 低输入失调和温漂:
25°C 时 $\pm 1.5\text{ mV}$ (最大值), $\pm 15\text{ }\mu\text{V}/^\circ\text{C}$ (最大值)
- 低增益误差和温漂:
25°C 时 $\pm 0.3\%$ (最大值), $\pm 40\text{ ppm}/^\circ\text{C}$ (最大值)
- 高边和低边均支持 3.3 V 和 5 V 供电电压
- 宽工作温度范围: -40°C 到 125°C
- 安全和法规认证
 - 符合 DIN V VDE V 0884-11 (VDE V 0884-11): 2017-01 标准的 $7070\text{ V}_{\text{PK}}$ 隔离耐压 (申请中)
 - 符合 UL 1577 认证, 1 分钟 5 kV_{RMS}
 - 符合 TUV 认证
- 额定工作电压下使用寿命大于 40 年

2 应用

- 工业电机控制与驱动
- 隔离式开关电源
- 不间断电源

3 概述

CA-IS1311 器件是为电压检测而优化的高精度隔离式运放。低的失调和增益误差以及相关温漂能够在全工作温度范围内保持测量的精度。

CA-IS1311 器件采用二氧化硅 (SiO_2) 作为隔离层, 支持符合 UL 1577 认证的高达 5 kV_{RMS} 的电气隔离。该技术将高低压域分开从而防止低压器件被损坏, 同时提供低辐

射和高磁场抗扰度。高共模瞬态抗扰度 (CMTI) 意味着 CA-IS1311 器件在隔离层之间正确地传递信号, 适合要求高压、大功率开关的工业电机控制和驱动应用场合。器件内部高边电源丢失检测或者欠压锁定 (UVLO) 功能有助于故障诊断和系统安全。

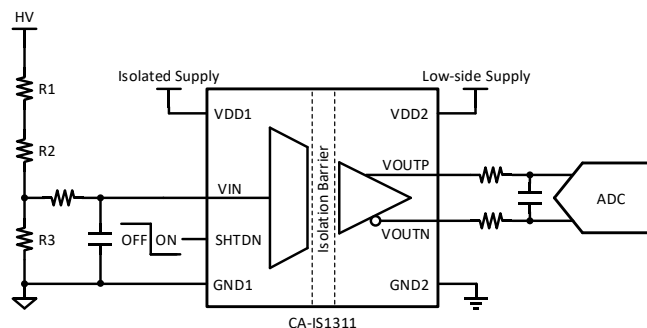
CA-IS1311 输入是高阻的, 适合测量的信号源具有高的输出阻抗的应用 (例如高压电阻分压器)。CA-IS1311 器件有关断模式, 可以将 SHTDN 引脚上拉来关断高边电路从而节省功耗。

CA-IS1311 器件通过宽体八脚 SOIC 封装, 支持在额定扩展工业温度范围内 (-40°C 到 125°C) 正常工作。

器件信息

器件型号	封装	封装尺寸 (标称值)
CA-IS1311G	SOIC8-WB (G)	5.85 mm × 7.50 mm

简化电路图



4 订购指南

表 4-1 有效订购零件编号

订购型号	输入失调电压	隔离等级	封装
CA-IS1311G	± 1.5 mV @ 25°C	5 kV _{RMS}	SOIC8-WB

目录

1	产品特性	1	9	详细说明	16
2	应用	1	9.1	系统概述	16
3	概述	1	9.2	特点描述	16
4	订购指南	2	9.2.1	模拟输入	16
5	修订历史	3	9.2.2	关断模式	16
6	引脚功能描述	4	9.2.3	隔离层的信号传输	16
7	产品规格	5	9.2.4	安全故障输出	17
7.1	绝对最大额定值 ¹	5	10	应用信息	18
7.2	ESD 额定值	5	10.1.1	电压检测的典型应用	18
7.3	建议工作条件	5	10.1.2	选择合适的 R _{sense}	18
7.4	热工特性	5	10.1.3	输入滤波器	18
7.5	功率额定值	5	10.1.4	电源供电推荐	18
7.6	隔离特性	6	10.1.5	输出滤波器	19
7.7	相关安全认证	7	11	封装信息	20
7.8	电气特性	8	11.1	SOIC8 宽体封装外形尺寸	20
7.9	典型特性	10	12	焊接信息	21
8	参数测量信息	14	13	卷带信息	22
			14	重要声明	23

5 修订历史

修订版本号	修订内容	页码
Preliminary	NA	NA
Version 1.00	更新 TUV 认证信息	NA

6 引脚功能描述

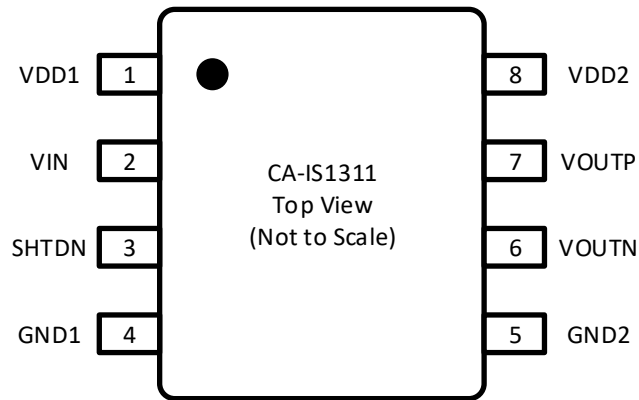


图 6-1 CA-IS1311 引脚配置

表 6-1 CA- IS1311 引脚功能描述

引脚名称	引脚编号	引脚类型	描述
VDD1	1	电源	高边供电电源，3 V 到 5.5 V
VIN	2	输入	模拟输入
SHTDN	3	输入	关断模式控制输入，高有效，内部上拉
GND1	4	地	高边地
GND2	5	地	低边地
VOUTN	6	输出	反相模拟输出
VOUTP	7	输出	同相模拟输出
VDD2	8	电源	低边供电电源，3 V 到 5.5 V

7 产品规格

7.1 绝对最大额定值¹

参数		最小值	最大值	单位
VDD1 或 VDD2	电源电压 ²	-0.5	6.5	V
VIN	模拟输入电压	GND1 - 6	VDD1 + 0.5 ³	V
SHTDN	关断模式控制输入电压	GND1 - 0.5	VDD1 + 0.5 ³	
VOUTP 或 VOUTN	模拟输出电压	GND2 - 0.5	VDD2 + 0.5 ³	V
I _{IN}	输入电流至除电源外的任何引脚	-10	10	mA
T _J	结温		150	°C
T _{STG}	存储温度	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 所有电压均参照各自的地（GND1 或 GND2）且为峰值电压。
3. 最大电压不得超过 6.5 V。

7.2 ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型（HBM），根据 ANSI/ESDA/JEDEC JS-001，所有引脚	±4000	V
	器件充电模型（CDM），根据 JEDEC 规范 JESD22-C101，所有引脚	±2000	

7.3 建议工作条件

参数		最小值	典型值	最大值	单位
VDD1	高边供电电压，参照 GND1	3.0	5.0	5.5	V
VDD2	低边供电电压，参照 GND2	3.0	3.3	5.5	V
V _{Clipping}	输出未饱和的最大输入电压		2.516		V
V _{FSR}	额定线性输入电压范围	-0.1		2	V
	不造成损坏的绝对输入电压	-2		VDD1	V
T _A	工作环境温度	-40		125	°C

7.4 热工特性

热量参数		数值	单位
R _{θJA}	芯片结到环境的热阻	110.1	°C/W
R _{θJC(top)}	芯片结到壳（顶部）的热阻	51.7	°C/W
R _{θJB}	芯片结到板的热阻	66.4	°C/W
ψ _{JT}	芯片结到顶部的特征参数	16.0	°C/W
ψ _{JB}	芯片结到板的特征参数	64.5	°C/W
R _{θJC(bottom)}	芯片结到壳（底部）的热阻	NA	°C/W

7.5 功率额定值

参数		测试条件	数值	单位
P _D	芯片最大功率损耗	VDD1 = VDD2 = 5.5 V	118.25	mW
		VDD1 = VDD2 = 3.6 V	69.12	
P _{D1}	高边最大功率损耗	VDD1 = 5.5 V	74.25	mW
		VDD1 = 3.6 V	43.20	
P _{D2}	低边最大功率损耗	VDD2 = 5.5 V	44.00	mW
		VDD2 = 3.6 V	25.92	

7.6 隔离特性

参数		测试条件	数值	单位
CLR	外部气隙（间隙） ¹	测量输入端至输出端，隔空最短距离	8	mm
CPG	外部爬电距离 ¹	测量输入端至输出端，沿壳体最短距离	8	mm
DTI	隔离距离	最小内部间隙（内部距离）	28	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	> 600	V
	材料组	根据 IEC 60664-1	I	
IEC 60664-1 过压类别		额定市电电压 ≤ 300 V _{RMS}	I-IV	
		额定市电电压 ≤ 400 V _{RMS}	I-IV	
		额定市电电压 ≤ 600 V _{RMS}	I-III	
DIN V VDE V 0884-11: 2017-01²				
V _{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压；时间相关的介质击穿（TDDB）测试	1500	V _{RMS}
		直流电压	2121	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s（认证） V _{TEST} = 1.2 × V _{IOTM} t = 1 s（100% 量产测试）	7000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法根据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} （认证）	8000	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤ 5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤ 5	pC
		方法 b1, 常规测试（100% 量产测试）和前期预处理（抽样测试） V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤ 5	pC
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin(2πft), f = 1 MHz	~ 1	pF
R _{IO}	绝缘电阻	V _{IO} = 500 V, T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	> 10 ¹¹	
		V _{IO} = 500 V, T _S = 150°C	> 10 ⁹	
	污染度		2	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s（认证） V _{TEST} = 1.2 × V _{ISO} , t = 1 s（100% 量产测试）	5000	V _{RMS}
备注: 1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离，以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙变得相等。诸如在印刷电路板上插入凹槽的技术用于帮助增加这些规格。 2. 这种耦合器只适用于在最大工作额定值范围内的基本电气绝缘。应通过适当的保护电路确保符合安全额定值。 3. 测试在空气或油中进行，以确定隔离屏障的固有浪涌抗扰度。 4. 表征电荷是由局部放电引起的放电电荷（pd）。 5. 栅两侧的所有引脚连接在一起，形成双端子器件。				

7.7 相关安全认证

VDE (申请中)	UL	CQC (申请中)	TUV
根据 DIN V VDE V 0884-11: 2017-01 认证	根据 UL 1577 器件认可程序认证	根据 GB4943.1-2011 认证	根据 EN 61010-1: 2010+A1
	SOIC8-WB: 5000V _{RMS}		SOIC8-WB: 5000V _{RMS}
	证书编号: E511334-20200520		证书编号: CN23RC4J001

7.8 电气特性

所有最大最小值在以下条件获得： $T_A = -40^{\circ}\text{C}$ 到 125°C ， $V_{DD1} = 3\text{ V}$ 到 5.5 V ， $V_{DD2} = 3\text{ V}$ 到 5.5 V ， $V_{IN} = -0.1\text{ V}$ 到 2 V ， $SHTDN = GND1 = 0\text{ V}$ （除非另有说明）。所有典型值在 $T_A = 25^{\circ}\text{C}$ ， $V_{DD1} = 5\text{ V}$ ， $V_{DD2} = 3.3\text{ V}$ （除非另有说明）。

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
V_{OS} 输入失调电压	初始值, $T_A = 25^{\circ}\text{C}$ 时, $V_{IN} = GND1$, $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$	-1.5	± 0.4	1.5	mV
	初始值, $T_A = 25^{\circ}\text{C}$ 时, $V_{IN} = GND1$, $3.0\text{ V} \leq V_{DD1} \leq 5.5\text{ V}^1$	-2.5	± 1	2.5	
TCV_{OS} 输入失调电压温漂		-15	± 3	15	$\mu\text{V}/^{\circ}\text{C}$
C_{IN} 输入电容	$f_{IN} = 275\text{ kHz}$		7		pF
R_{IN} 输入电阻			1		$\text{G}\Omega$
I_{IB} 输入电流	$V_{IN} = GND1$	-15	± 1	15	nA
TCI_{IB} 输入电流温漂			± 10		$\text{pA}/^{\circ}\text{C}$
模拟输出					
增益 ²	初始值		1		V/V
E_G 增益误差	初始值, $T_A = 25^{\circ}\text{C}$ 时	-0.3%	$\pm 0.05\%$	0.3%	
TCE_G 增益温漂		-40	± 10	40	ppm/ $^{\circ}\text{C}$
NL 非线性度	$V_{IN} = 0.1\text{ V}$ 到 2 V	-0.08%	$\pm 0.02\%$	0.08%	
TCNL 非线性度温漂			± 1		ppm/ $^{\circ}\text{C}$
输出噪声	$V_{IN} = 1\text{ V}$, $BW = 100\text{ kHz}$		230		μV_{RMS}
THD 总谐波失真	$V_{IN} = 2\text{ V}$, $f_{IN} = 10\text{ kHz}$, $BW = 100\text{ kHz}$		-83		dB
SNR 信噪比	$V_{IN} = 2\text{ V}$, $f_{IN} = 1\text{ kHz}$, $BW = 10\text{ kHz}$		78		dB
	$V_{IN} = 2\text{ V}$, $f_{IN} = 10\text{ kHz}$, $BW = 100\text{ kHz}$		68		
PSRR 电源抑制比 ³	VDD1 处, 直流		-65		dB
	VDD1 处, 100-mV、10-kHz 纹波		-65		
	VDD2 处, 直流		-90		
	VDD2 处, 100-mV、10-kHz 纹波		-80		
V_{CMOUT} 共模输出电压		1.39	1.44	1.49	V
$V_{FAILSAFE}$ 安全故障差分输出电压	VDD1 丢失或 $V_{DD1} < V_{DDUV}$ 或 $SHTDN = HIGH$		-2.6	-2.5	V
I_{OSC} 输出短路电流	V_{OUTP} 或 V_{OUTN} 短路至 V_{DD2} 或 $GND2$		± 13		mA
R_{OUT} 输出电阻	在 V_{OUTP} 或 V_{OUTN} 处		< 0.2		Ω
BW_{OUT} 输出-3 dB 带宽		220	275		kHz
CMTI 共模瞬态抗扰度	$ GND1 - GND2 = 1.5\text{ kV}$; 见图 8-1	15	30		$\text{kV}/\mu\text{s}$
供电					
V_{DDUV} VDD 欠压阈值	VDD1 或 VDD2 上升处		2.5	2.7	V
IDD1 高边供电电流	$3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$, $SHTDN = GND1$		8.5	12.0	mA
	$4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$, $SHTDN = GND1$		9.7	13.5	
	$SHTDN = V_{DD1}$		1		μA
IDD2 低边供电电流	$3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$		5.2	7.2	mA
	$4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$		5.7	8.0	
数字输入 (SHTDN 引脚: CMOS 逻辑)					
I_{IN} 输入电流	$GND1 \leq SHTDN \leq V_{DD1}$	-70		1	μA
C_{IN} 输入电容			5		pF
V_{IH} 输入电压逻辑高电平		$0.7 \times V_{DD1}$		$V_{DD1} + 0.3$	V
V_{IL} 输入电压逻辑低电平		-0.3		$0.3 \times V_{DD1}$	V
时序					

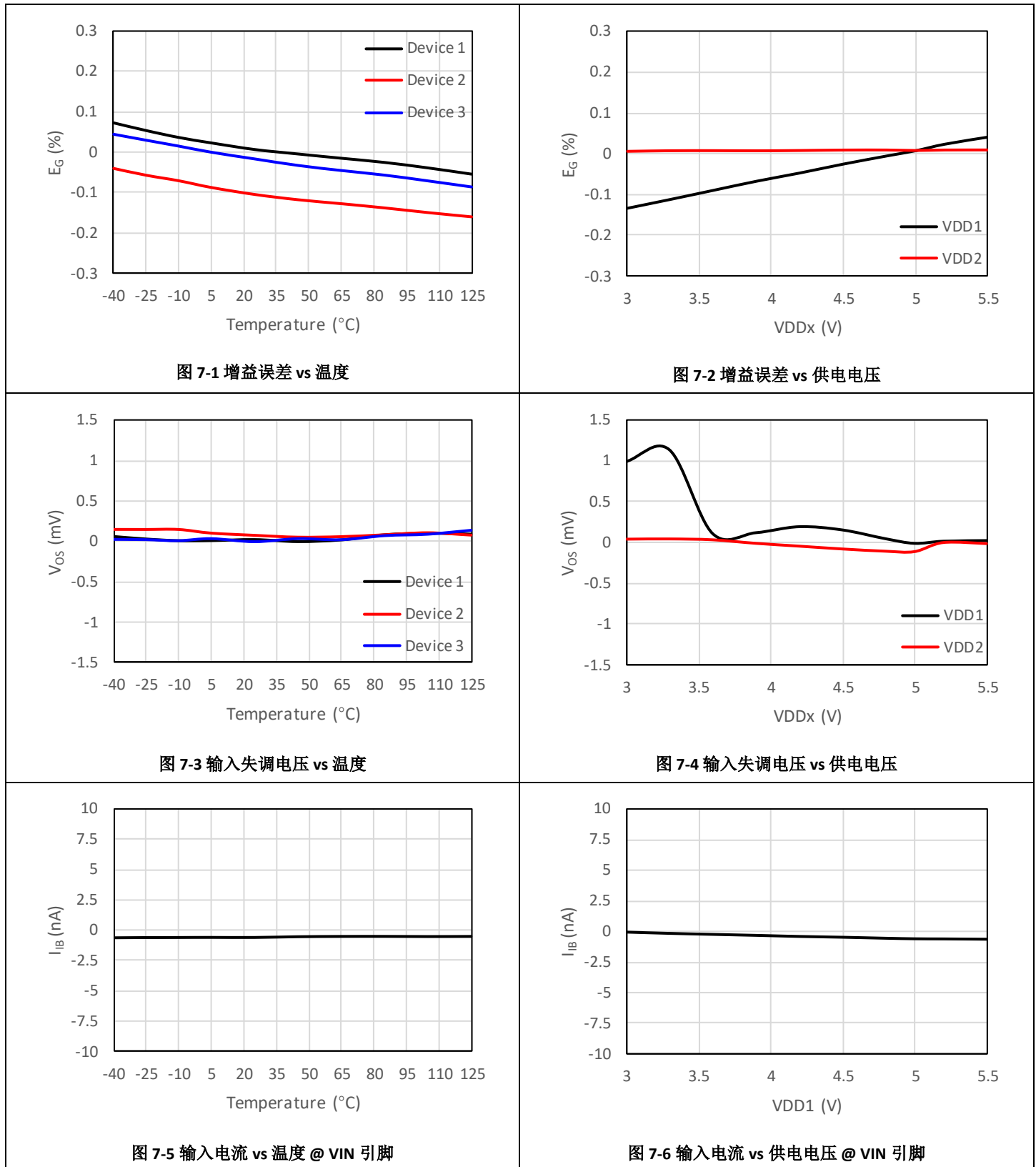
t_r	VOUT 上升时间 (10%–90%)	VIN = 0 到 2 V 阶跃; 见图 8-2	1.2		μs
t_f	VOUT 下降时间 (90%–10%)	VIN = 2 V 到 0 阶跃; 见图 8-2	1.2		μs
t_{PD}	VIN 到 VOUT 信号延时 (50%–50%)	输出未滤波; 见图 8-3	1.5	2.1	μs
t_{AS}	模拟建立时间	VDD1 = 0 到 3 V 阶跃, $3.0\text{V} \leq \text{VDD2}$, VOUT 稳定到 0.1% 的精度	180	350	μs
t_{EN}	器件使能时间	SHTDN 由高到低, $t_f < 10\text{ ns}$; 见图 8-4	180	350	μs
t_{SHTDN}	器件关断时间	SHTDN 由低到高, $t_r < 10\text{ ns}$; 见图 8-4	1.6	5	μs

备注:

1. 典型值在 $\text{VDD1} = 3.3\text{ V}$ 时测得。
2. 增益定义为在额定输入范围内, 在差分输入 ($\text{VINP} - \text{VINN}$) 和差分输出电压 ($\text{VOUTP} - \text{VOUTN}$) 之间使用最小二乘法求出最优直线的斜率。
3. 输出参考。

7.9 典型特性

所有典型值在 $T_A = 25^\circ\text{C}$, $V_{DD1} = 5\text{V}$, $V_{DD2} = 3.3\text{V}$, $SHTDN = GND1 = 0\text{V}$ (除非另有说明)。



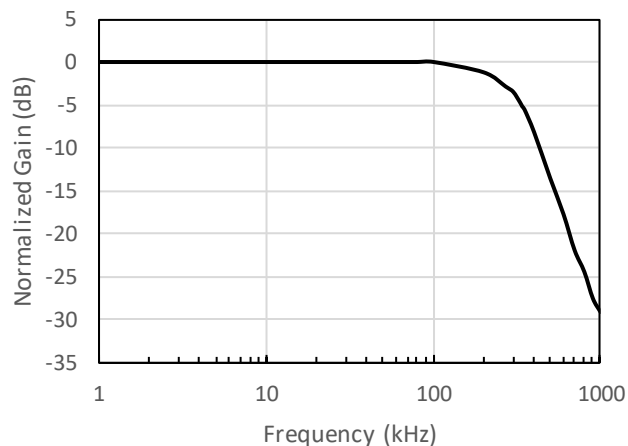


图 7-7 归一化增益 vs 频率

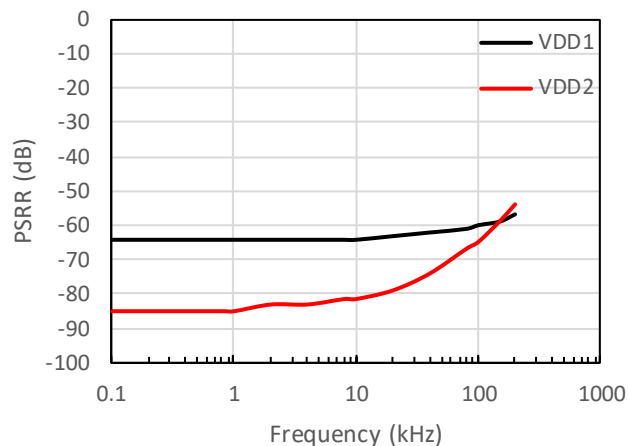


图 7-8 电源抑制比 vs 频率

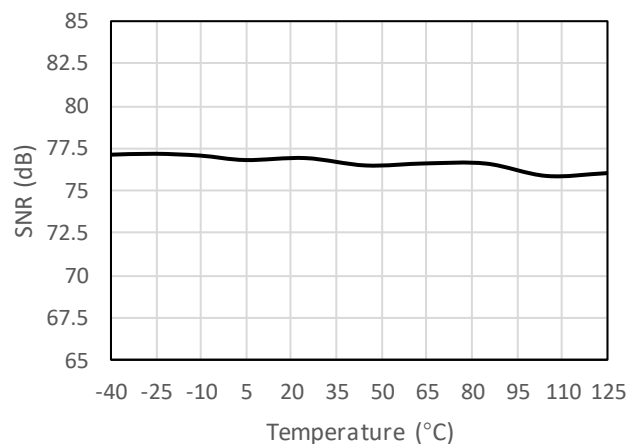


图 7-9 信噪比 vs 温度 @ $f_{IN} = 1$ kHz

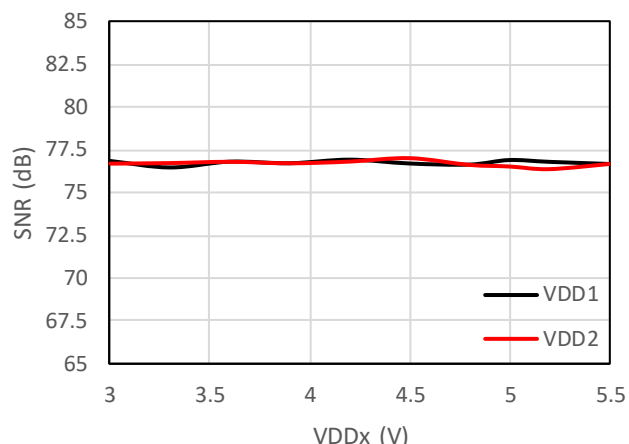


图 7-10 信噪比 vs 供电电压 @ $f_{IN} = 1$ kHz

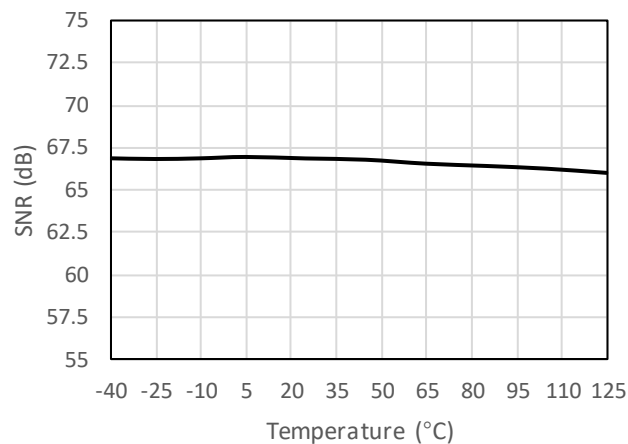


图 7-11 信噪比 vs 温度 @ $f_{IN} = 10$ kHz

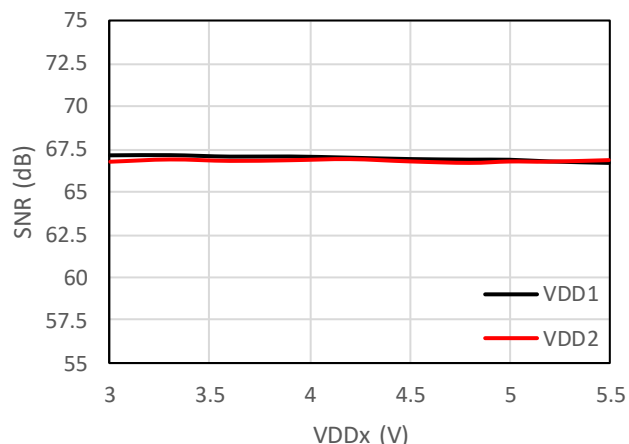


图 7-12 信噪比 vs 供电电压 @ $f_{IN} = 10$ kHz

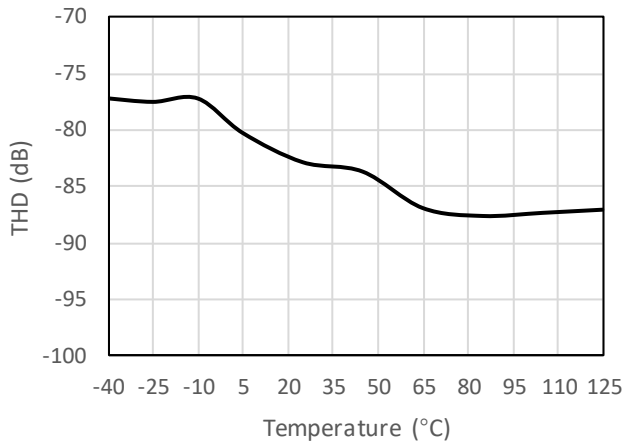


图 7-13 总谐波失真 vs 温度 @ $f_{IN} = 10 \text{ kHz}$

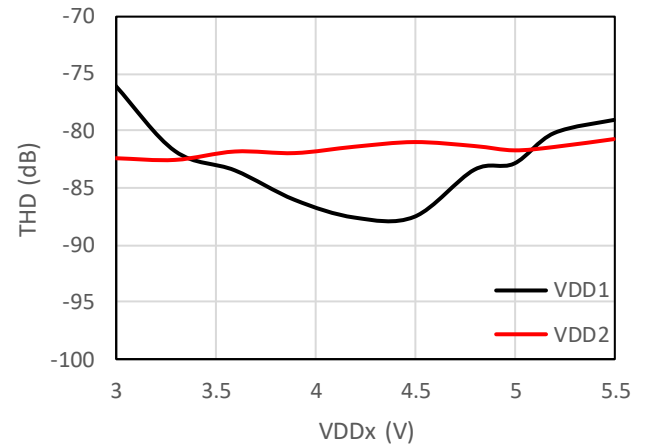


图 7-14 总谐波失真 vs 供电电压 @ $f_{IN} = 10 \text{ kHz}$

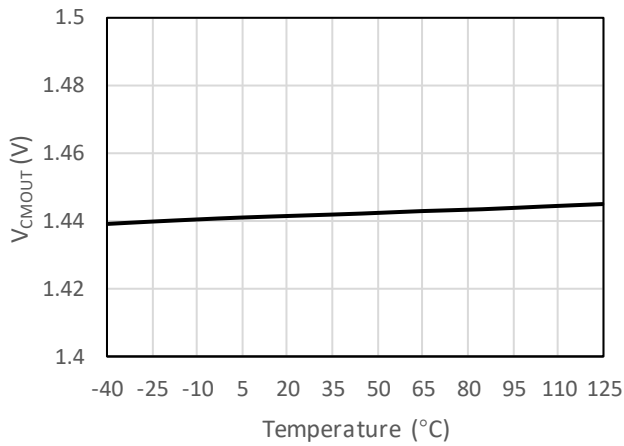


图 7-15 共模输出电压 vs 温度

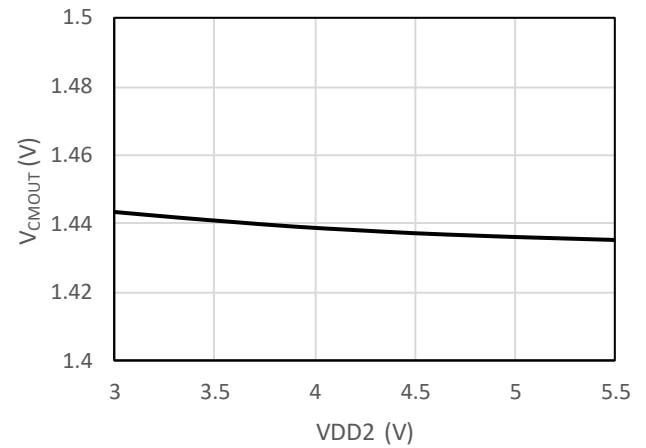


图 7-16 共模输出电压 vs 供电电压

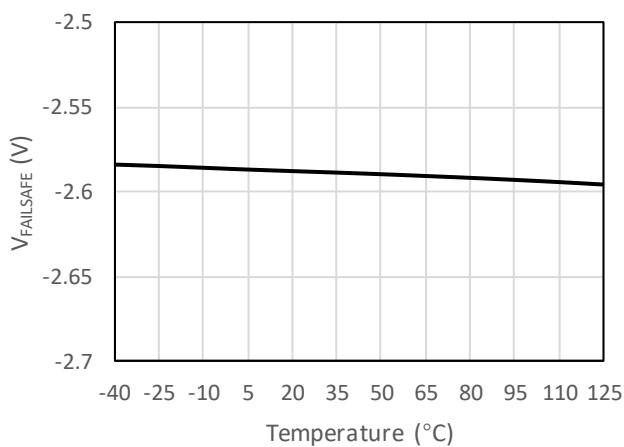


图 7-17 安全故障差分输出电压 vs 温度

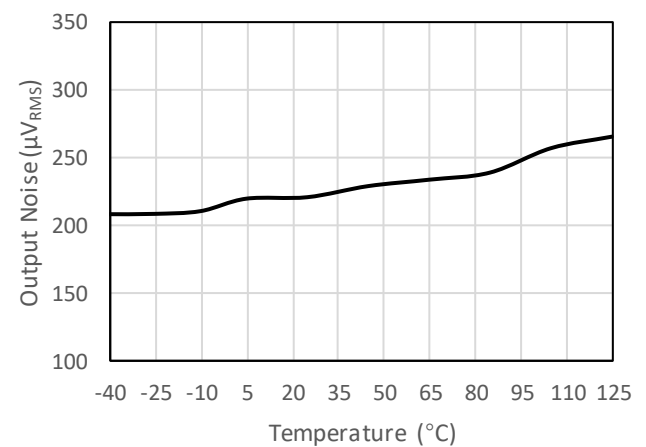
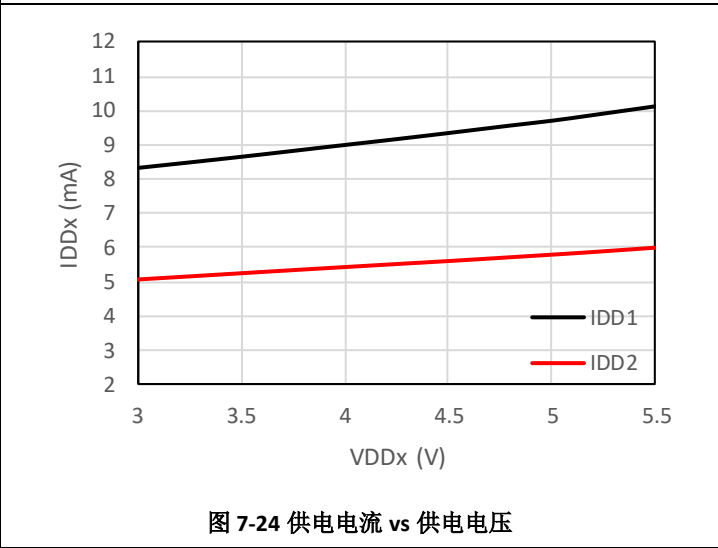
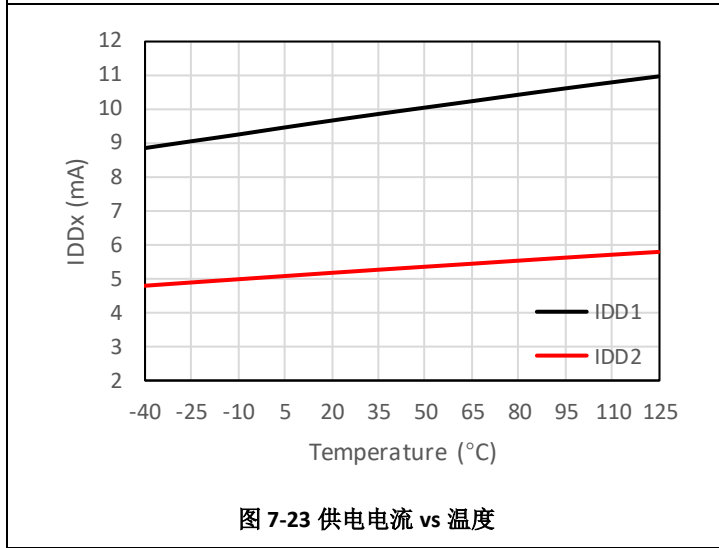
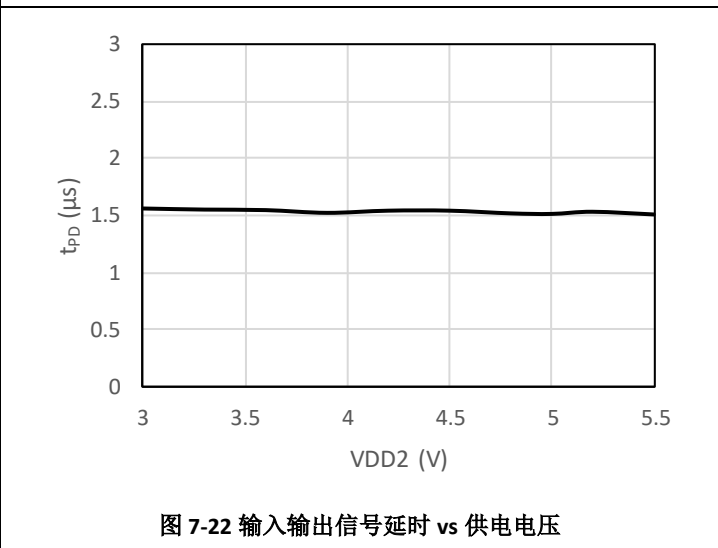
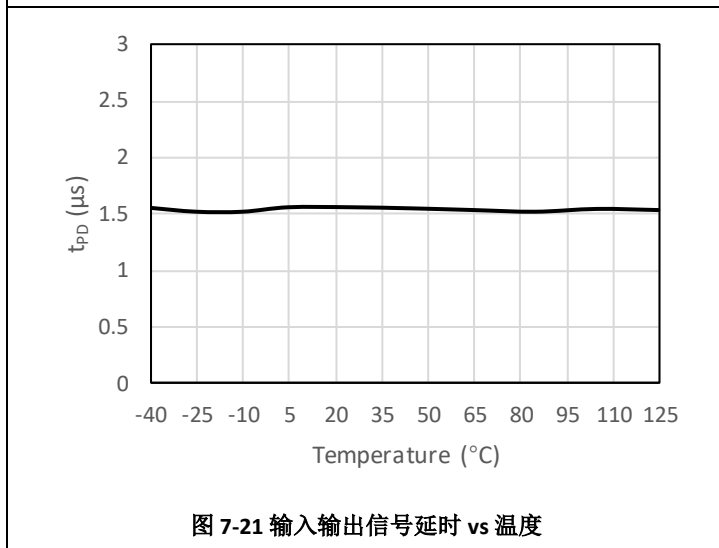
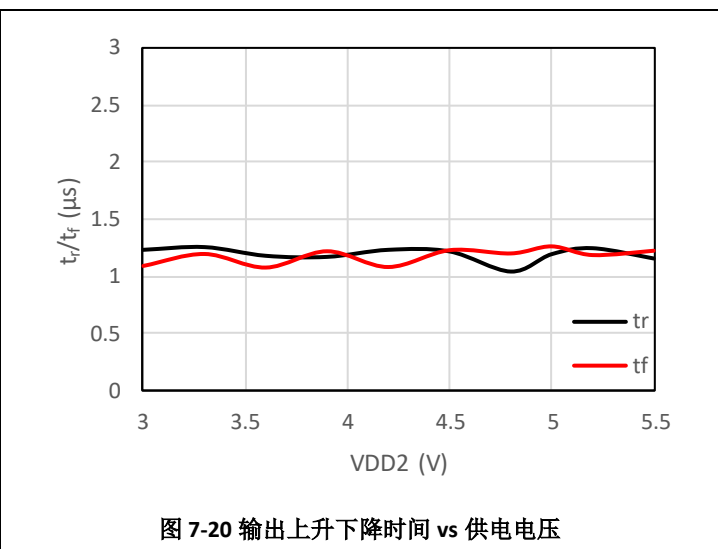
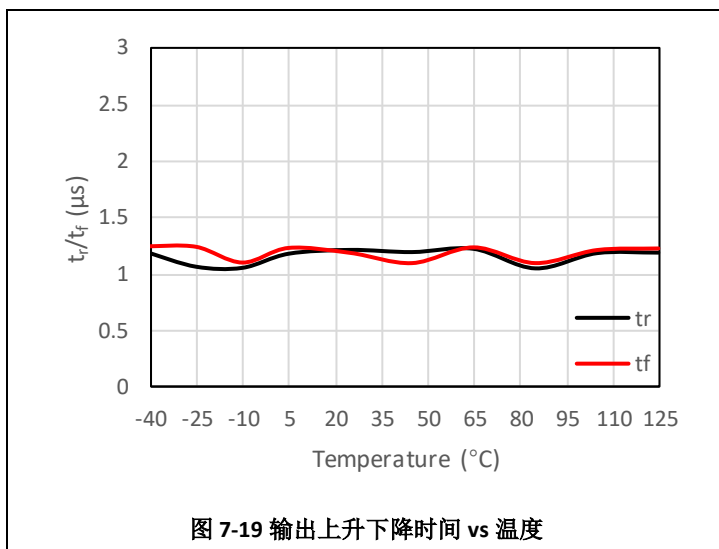
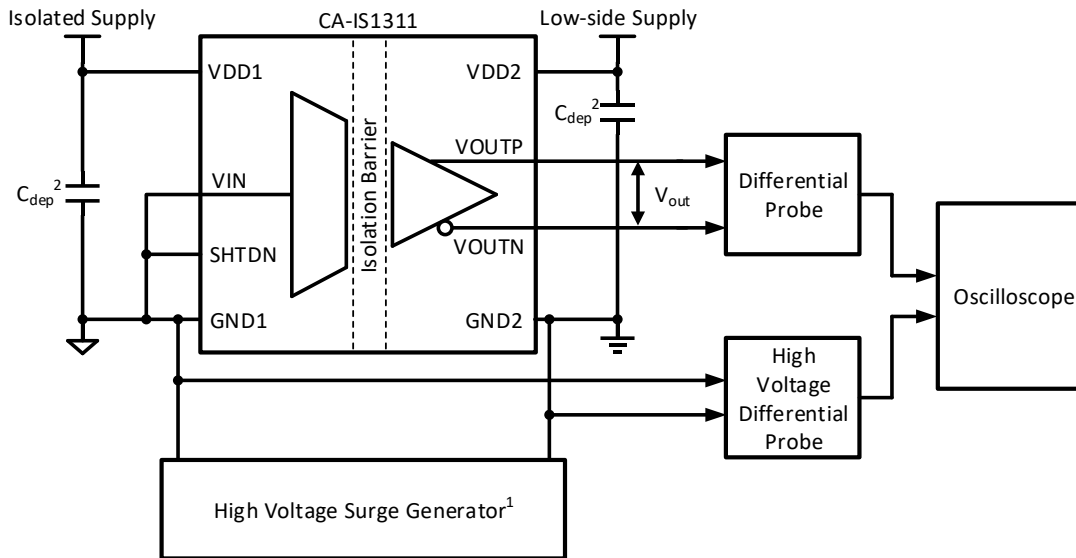


图 7-18 输出噪声 vs 温度 @ $V_{IN} = 1 \text{ V}$



8 参数测量信息



备注:

1. 高压浪涌脉冲发生器产生振幅 > 1 kV, 上升/下降时间 < 10 ns, 达到共模瞬态噪声压摆率 > 150 kV/μs 的重复高压脉冲。
2. C_{dep} 是 0.1~1 μF 解耦电容。

图 8-1 共模抑制比测试电路

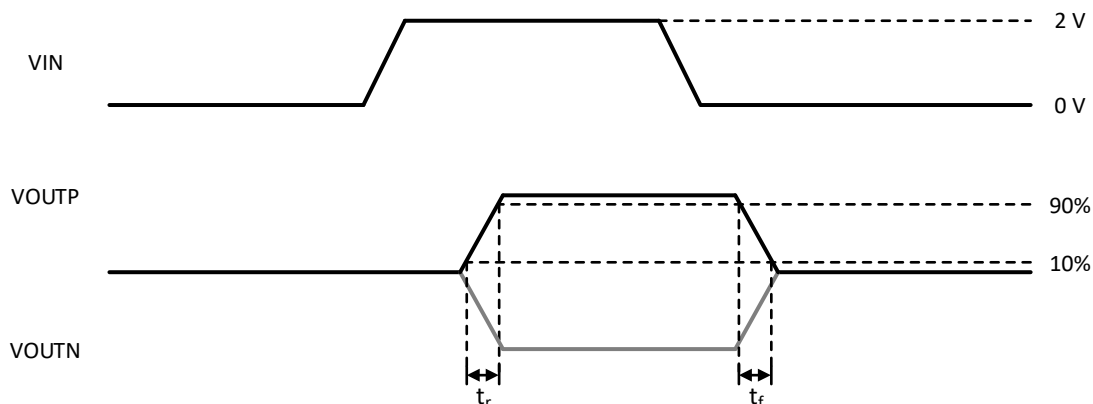


图 8-2 上升和下降时间测试波形

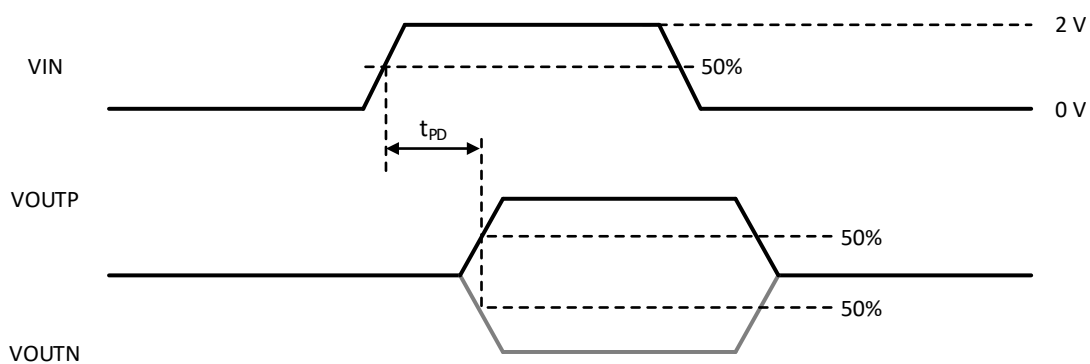


图 8-3 延迟时间测试波形

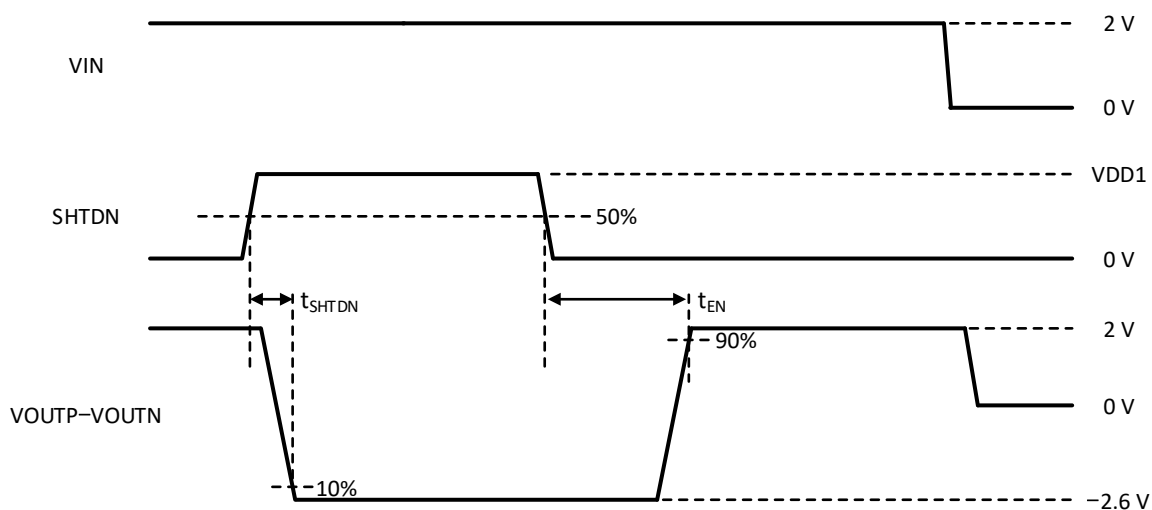


图 8-4 器件关断和使能时间测试波形

9 详细说明

9.1 系统概述

CA-IS1311 器件是为电压检测而设计的高精度隔离式运放。功能框图如图 9-1 所示。在高边，高输入阻抗缓冲器驱动二阶 Sigma-Delta ($\Sigma\Delta$) 调制器。该调制器将模拟信号转换成数字位流。为了在基于二氧化硅的隔离层的信号传输，数字位流通过使用简单的开关键控 (OOK) 调制方案和高频载波进一步调制。接收机 (RX) 在低边将接收到的调制信号恢复成原始的数字位流。经过 1 位数模转换器 (DAC) 处理后，数字位流被送到有源低通滤波器继而产生模拟输出。为了整个芯片的同步，时钟在低边产生并发送回高边，确保所有的时钟同源。

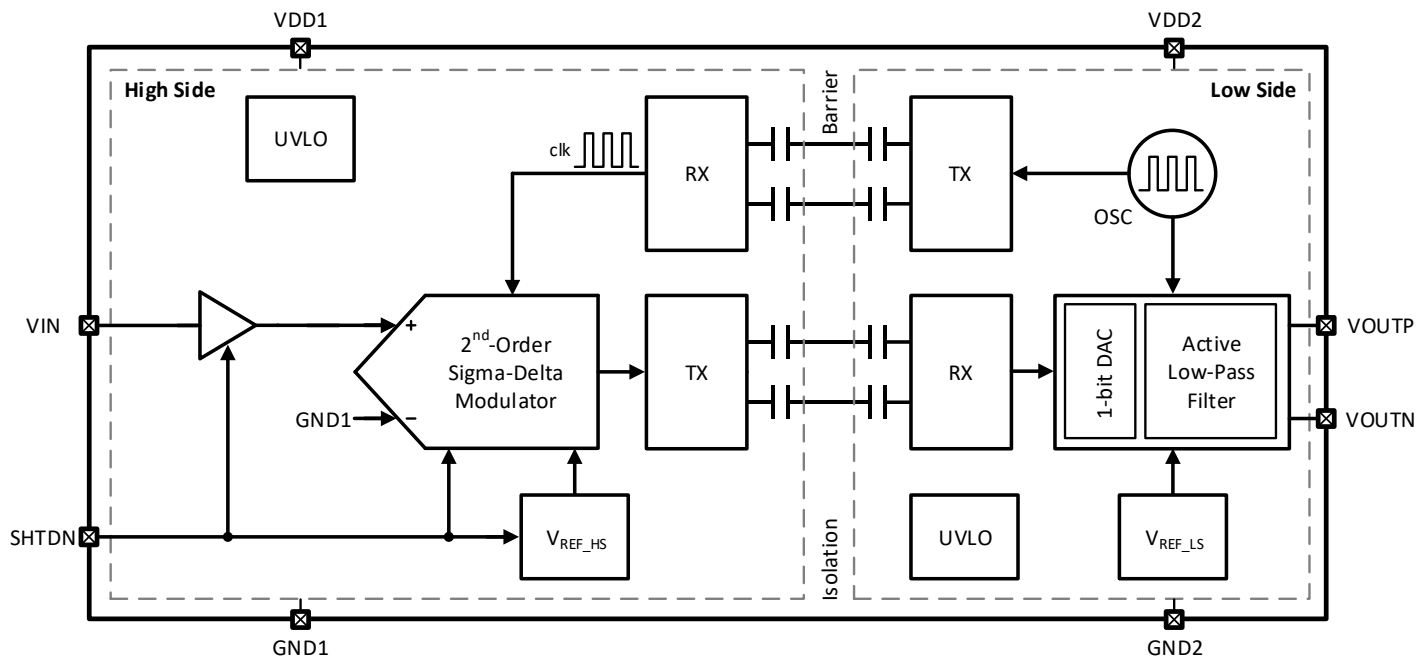


图 9-1 CA-IS1311 功能框图

9.2 特点描述

9.2.1 模拟输入

CA-IS1311 器件由于其高阻和低偏置电流输入，适合测量的信号源具有高的输出阻抗的应用（例如高压电阻分压器）。

CA-IS1311 的 VIN 引脚的 ESD 结构支持绝对最大模拟输入电压（参照 GND1）从 $GND1 - 6V$ 到 $VDD1 + 0.5V$ 。如果输入电压 VIN 超过上述范围，输入电流必须被限制在 10 mA 从而避免损坏。为了保证长期稳定性和器件的性能，CA-IS1311 的模拟输入电压必须保持在额定范围内。

9.2.2 关断模式

CA-IS1311 器件有关断模式，可以将 SHTDN 引脚上拉来关断高边电路从而节省功耗。SHTDN 引脚通过内部电阻上拉，电阻的典型值是 100 k Ω 。正常工作时，SHTDN 引脚应该连接至 GND1 或者保持逻辑低。

9.2.3 隔离层的信号传输

CA-IS1311 器件使用简单的开关键控 (OOK) 调制方案在基于二氧化硅的隔离层之间传输信号。该隔离层支持高低压域之间高达 5 kV_{RMS} 的电气隔离。隔离通道的框图如图 9-2 所示。如图 9-3 所示，当数字位流为高电平时，发射机 (TX) 通过高频载波对其进行调制，当数字位流为低电平时则不调制。接收机 (RX) 解调通过隔离层的信号并将其准确地恢复成数字位流。隔离通道采用全差分电容耦合架构，对共模瞬态噪声不敏感，因此可以最大化 CMTI 性能。该结构和相关电路同时提供低辐射和高磁场抗扰度。

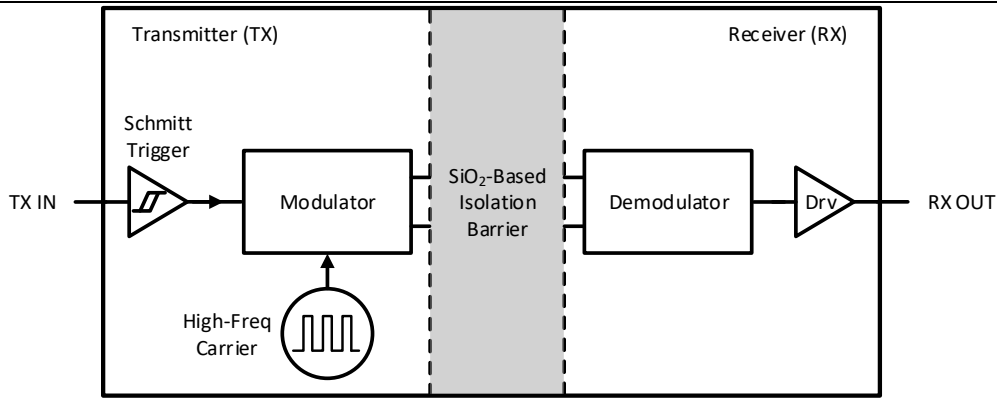


图 9-2 隔离通道的框图

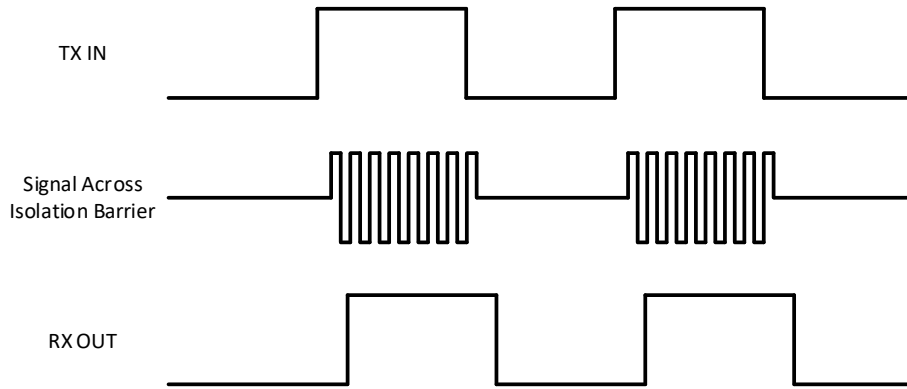


图 9-3 OOK 调制方案的工作波形示意图

9.2.4 安全故障输出

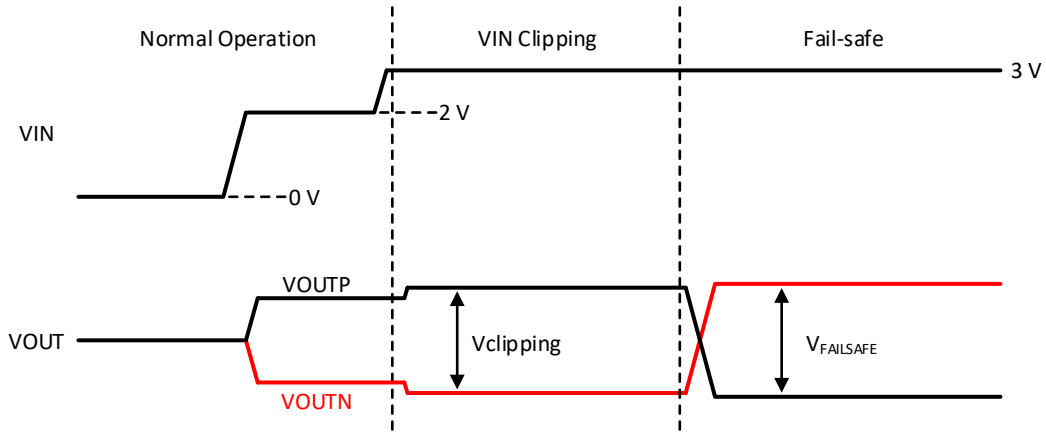


图 9-4 各种情况下的典型工作波形

CA-IS1311 器件具备安全故障输出功能，在下列三种情况下启动：

- 高边供电电压 VDD1 丢失；
- 高边供电电压 VDD1 低于欠压阈值 VDD_{UV}；
- SHTDN 引脚被拉高。

安全故障输出电压是最负的，可以和正常工作输出或者输出饱和的情况区分。该功能有助于故障诊断和系统安全。

10 应用信息

10.1.1 电压检测的典型应用

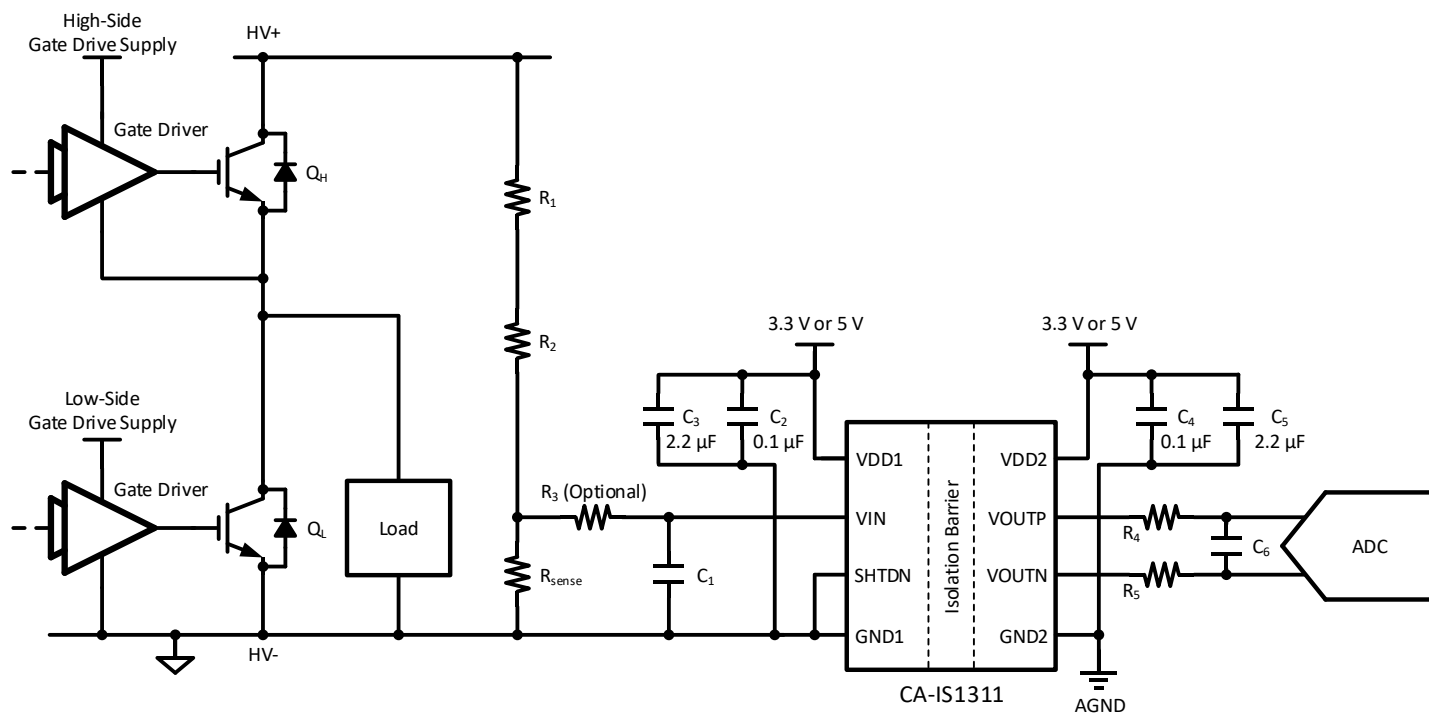


图 10-1 电压检测的典型应用

直流母线电压检测的典型应用如图 10-1 所示。 R_1 、 R_2 和 R_{sense} 组成电压分压网络，将母线的高电压缩小至额定电压范围内。

CA-IS1311 器件被用来测量检测电阻 (R_{sense}) 上的压降，然后将其传输至低压侧给后级的控制电路处理。CA-IS1311 的高 CMTI 和低偏置电流输入确保在诸如工业电机驱动等高噪声、高功率开关应用中可靠和准确地测量。CA-IS1311 器件支持高达 5 kV_{RMS} 的电气隔离，因此十分适合高压工业应用场合。

10.1.2 选择合适的 R_{sense}

考虑下列两个限制条件来选择合适的分流电阻 R_{sense} 的值：

- 由标称测量电流在 R_{sense} 上产生的压降在额定线性差分输入范围 (V_{FSR}) 内；
- 由最大允许的电流在 R_{sense} 上产生的压降一定不能超过满量程输入电压范围 (V_{Clipping})。

10.1.3 输入滤波器

一阶无源 RC 低通滤波器可以被放置在 R_{sense} 和器件的输入之间来作为抗混叠滤波器。既然 R_1 和 R_2 通常足够大， R_3 是可选的，单个电容 C_1 就足够了。

10.1.4 电源供电推荐

推荐在离 CA-IS1311 的 VDD1 引脚尽可能近的位置放置 $0.1\ \mu\text{F}$ 低等效串联电阻的解耦电容 (C_2)。额外电容 (C_3) 被推荐用来更好地对高边供电路径进行滤波，其值可以从 $2.2\ \mu\text{F}$ 到 $10\ \mu\text{F}$ 的范围内选择。

类似的， $0.1\ \mu\text{F}$ 解耦电容 (C_4) 和从 $2.2\ \mu\text{F}$ 到 $10\ \mu\text{F}$ 的电容 (C_5) 应该放置在离 CA-IS1311 的 VDD2 引脚尽可能近的位置来对低边供电路径进行滤波。

10.1.5 输出滤波器

另一个一阶无源 RC 低通滤波器可以被放置在 CA-IS1311 的输出和 ADC 之间来满足潜在的抗混叠滤波的要求。该滤波器的特性由 ADC 的结构和采样频率决定。选择 $R_4 = R_5 = 4.7 \text{ k}\Omega$ 和 $C_6 = 180 \text{ pF}$ 可以提供大概 94 kHz 的截止频率。

11 封装信息

11.1 SOIC8 宽体封装外形尺寸

下图描述了 CA-IS1311 隔离式运放采用的 SOIC8 宽体封装大小尺寸和建议焊盘尺寸。图中尺寸以毫米为单位。

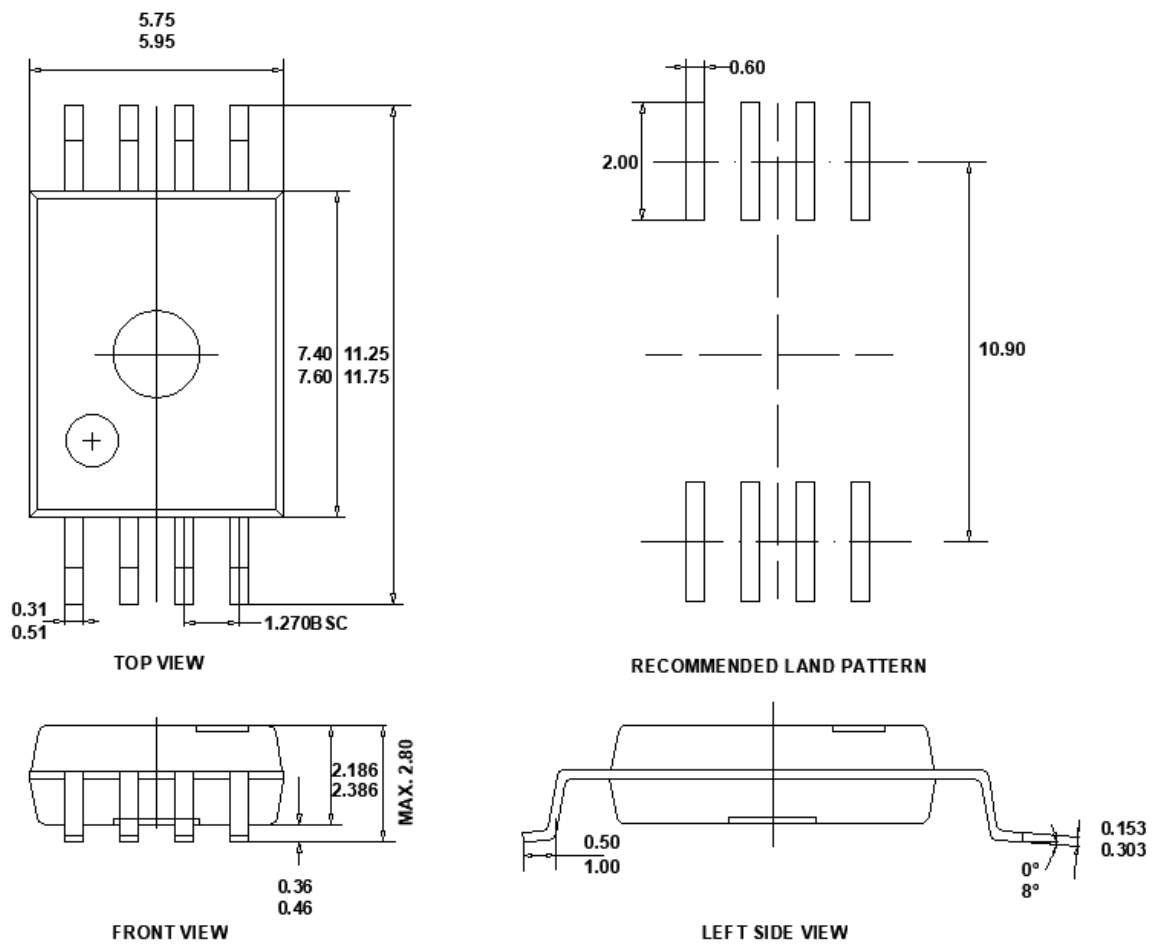


图 11-1 SOIC8 宽体封装外形尺寸图

12 焊接信息

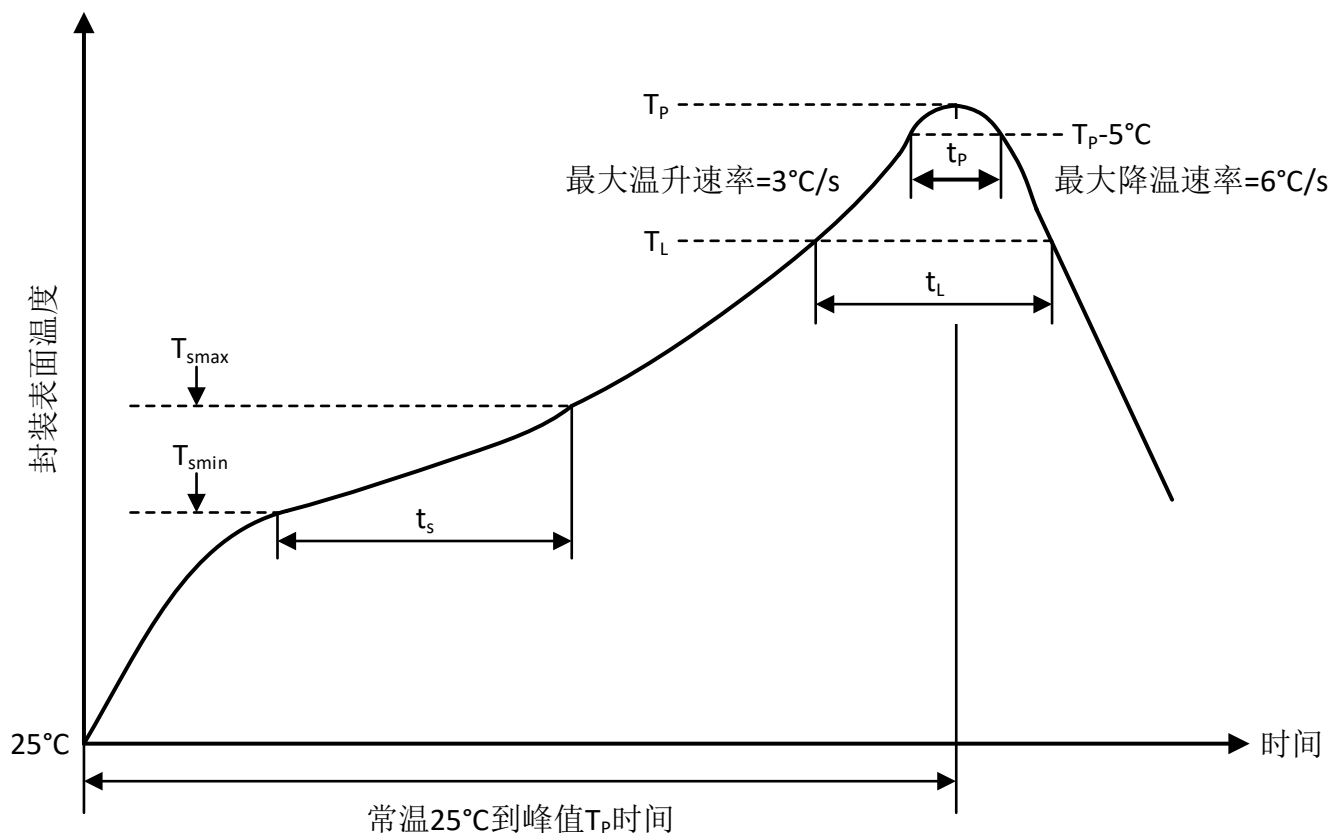


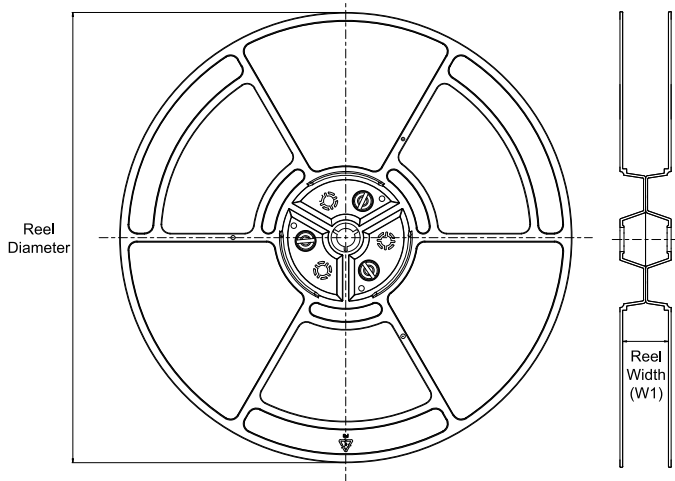
图 12-1 焊接温度曲线

表 12-1 焊接温度参数

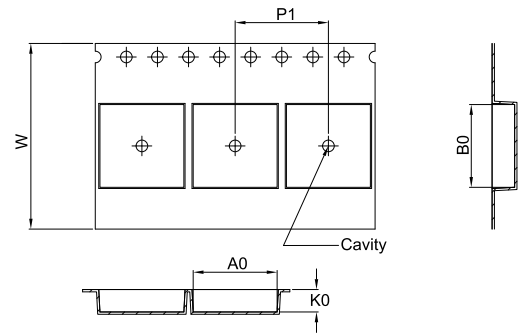
简要说明	无铅焊接
温升速率 (T _L =217°C 至峰值 T _p)	最大 3°C/s
T _{smin} =150°C 到 T _{smax} =200°C 预热时间 t _s	60~120 秒
温度保持 217°C 以上时间 t _L	60~150 秒
峰值温度 T _p	260°C
小于峰值温度 5°C 以内时间 t _p	最长 30 秒
降温速率 (峰值 T _p 至 T _L =217°C)	最大 6°C/s
常温 25°C 到峰值温度 T _p 时间	最长 8 分钟

13 卷带信息

REEL DIMENSIONS

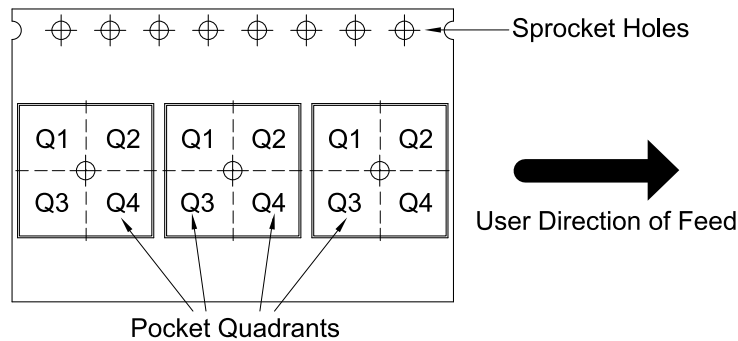


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS1311G	SOIC	G	8	1000	330	16.4	11.95	6.15	3.20	16.0	16.0	Q1

14 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>