

CA-IF4888HS 总线极性校正 RS485 收发器

1. 产品特性

- 满足 TIA/EIA-485A 标准
- 114ms 内即可实现总线极性校准
- 数据速率：300bps 至 500kbps
- 3V 至 5.5V 电源电压
- 带有限流驱动器和热关断功能
- 总线 I/O ESD 保护：±30kV HBM
- 1/8 单位负载（支持多达 256 个总线节点）
- 工作温度范围：-40°C 至 125°C
- 共模电压范围：±15V
- 故障保护范围：±30V
- 低工作电流：接收模式下最大工作电流 960μA
- 待机电流：<5μA
- 小尺寸 SOIC8 封装

2. 应用

- 工业自动化
- 加热、通风和空调环境系统（HVAC）
- DMX512 网络
- 过程控制

- 电池供电类应用
- 运动控制
- 电信设备

3. 概述

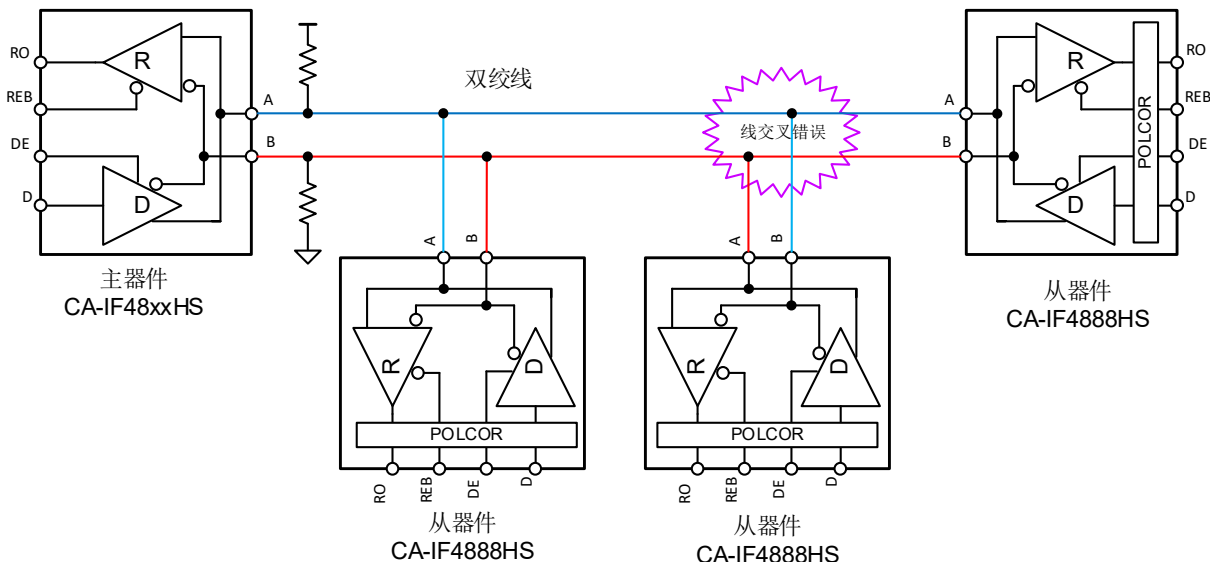
CA-IF4888HS 是一款的低功耗 RS485 收发器，此收发器具有自动总线极性纠正功能。热插拔时，此器件在总线闲置的开始 76ms 内检测并纠正总线极性。该器件可以扩展共模电压范围到±15V、故障保护范围±30V。因此这些器件适用于长电缆上的应用。同时，该器件总线引脚可耐受静电放电，具有对人体放电模式（HBM）、空气间隙放电和接触放电技术规范的高水平保护。

CA-IF4888HS 器件可提供 SOIC8 封装，适用于空间受限的应用。在自然通风环境下的工作温度范围为-40°C 至 125°C。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IF4888HS	SOIC8	3.9mm*4.9mm

支持极性纠正（POLCOR）的典型网络应用



目录

1. 产品特性.....	1	6. 参数测量信息	7
2. 应用	1	7. 详细说明.....	9
3. 概述	1	7.1. 功能说明	9
4. 引脚功能描述	3	7.2. 器件功能模式	9
5. 产品规格.....	3	7.3. 总线极性校正	10
5.1. 绝对最大额定值 ¹	3	8. 典型特性曲线	12
5.2. ESD 额定值	3	9. 封装信息.....	13
5.3. 建议工作条件.....	4	9.1. SOIC8 外形尺寸	13
5.4. 热量信息.....	4	10. 焊接信息.....	14
5.5. 电气特性.....	5	11. 编带信息.....	15
5.6. 转换时间特性.....	6	12. 重要声明.....	16

修订历史

修订版本号	修订内容	页码
Version 1.00	NA	NA

4. 引脚功能描述

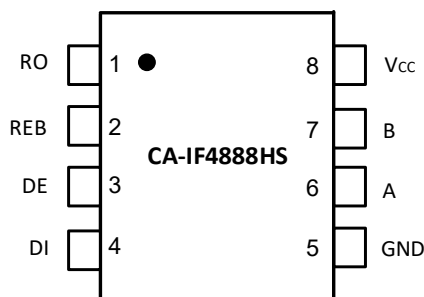


图 5-1 CA-IF4888HS 引脚图 (SOIC8)

表 5-1 CA-IF4888HS 引脚功能描述

引脚名称	引脚编号	类型	描述
RO	1	数字输出	接收机总线输出端口
REB	2	数字输入	接收机使能信号
DE	3	数字输入	驱动器使能信号
DI	4	数字输入	驱动器总线输入端口
GND	5	地	地
A	6	总线输入	驱动器总线输出/接收机输入端口, A
B	7	总线输入	驱动器总线输出/接收机输入端口, B
V _{CC}	8	电源	电源

5. 产品规格

5.1. 绝对最大额定值¹

参数	最小值	最大值	单位
V _{CC} 电源电压	-0.3	7.0	V
V _{IO} 端口电压 A,B	-30	30	V
V _{IO} 端口电压 DI,DE,REB	-0.3	7.0	V
V _{IO} 端口电压 RO	-0.3	V _{CC} +0.3	V
T _J 结温	150		°C
T _{STG} 存储温度范围	-65	150	°C

备注:

- 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

5.2. ESD 额定值

	数值	单位
V _{ESD} 静电放电 人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001,总线引脚 ¹	±30	kV
V _{ESD} 静电放电 人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001,其余引脚 ¹	±6	kV

备注:

- JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造。

5.3. 建议工作条件

参数		最小值	典型值	最大值	单位
V _{CC}	模拟电源电压	3	5	5.5	V
V _{IN}	总线输入电压	-15		15	V
V _{IL}	低电平输入阈值	0		0.8	V
V _{IH}	高电平输入阈值	2		V _{CC}	V
R _L	差分负载电阻	54			Ohm
1/t _{UI}	数据速率			500	kbps
T _A	环境温度	-40		125	°C
T _J	结温	-40		150	°C

5.4. 热量信息

热量表		CA-IF4888HS SOIC8	单位
R _{θJA}	IC 结至环境的热阻	115	°C/W
R _{θJC}	IC 结到壳（顶部）热阻	60	°C/W

5.5. 电气特性

 在正常工作温度范围内（除非另有说明）。所有典型值均在 -40°C 至 125°C 且电源电压为 $V_{CC} = 5\text{V}$ 的情况下进行。

参数	测试条件	最小值	典型值	最大值	单位		
驱动器							
V _{OD}	差分输出电压	R _L = 60 Ω, -15 V ≤ V _{test} ≤ 15 V (见图 7-1) ⁽¹⁾		1.5	3.5	V	
		R _L = 60 Ω, -15 V ≤ V _{test} ≤ 15 V, 4.5 V ≤ V _{CC} ≤ 5.5 V (见图 7-1)		2.1			
		R _L = 100 Ω (见图 7-2)		2	4	V	
		R _L = 54 Ω (见图 7-2)		1.5	3.7	V	
Δ V _{OD}	差分输出电压变化			-200	200	mV	
V _{OC}	共模输出电压	R _L = 54 Ω (见图 7-2)		1	V _{CC} /2	3	V
ΔV _{OC(SS)}	共模输出电压变化			-200	200	mV	
I _{OS}	短路输出电流	-7 V ≤ V _O ≤ 12 V		-250	250	mA	
接收机							
I _I	总线输入电流	DE = 0 V, V _{CC} = 0 V or 5 V		V _I = 12V	72	125	μA
				V _I = -7V	-100	-43	μA
		DE = 0 V, V _{CC} = 0 V or 5V		V _I = 15V	91	125	μA
				V _I = -15V	-200	-97	μA
V _{TH+}	正向输入阈值电压	共模范围内		-100	-20	mV	
V _{TH-}	负向输入阈值电压			-200	-130	mV	
V _{HYS}	输入迟滞电压			30		mV	
V _{OH}	输出高电平	I _{OH} = -4 mA		V _{CC} -0.4	V _{CC} -0.2	V	
V _{OL}	输出低电平	I _{OL} = 4 mA		0.2	0.4	V	
I _{OZR}	输出高阻电流	V _O = 0 V or V _{CC} , REB = V _{CC}		-1	1	μA	
输入逻辑							
I _{IN}	逻辑输入电流	3 V ≤ V _{CC} ≤ 5.5 V, 0 V ≤ V _{IN} ≤ V _{CC}		-6.2	6.2	μA	
器件							
I _{CC}	工作电流（静态）	驱动器和接收机使能, REB=0V, DE = V _{CC} , 空载		2.4	3	mA	
		驱动器使能, 接收机关闭, REB=V _{CC} , DE = V _{CC} , 空载		0.8	1.2	mA	
		驱动器关闭, 接收机使能, REB=0V, DE = 0V, 空载		700	960	μA	
		驱动器关闭, 接收机关闭, REB=V _{CC} , DE = 0V, DI=open, 空载		2.4	5	μA	
TSD	热关断温度			180		°C	

 (1) |V_{OD}| ≥ 1.4 V 当 T_A > 85 °C, V_{test} < -7 V 并且 V_{CC} < 3.135 V 时;

 (2) 在任何特定条件下, 确保 V_{TH+} 至少比 V_{TH-} 高一个 V_{HYS}。

5.6. 转换时间特性

在正常工作温度范围内（除非另有说明）。所有典型值均在-40°C至 125°C且电源电压为 $V_{CC} = 5V$ 的情况下进行。

参数	测试条件	最小值	典型值	最大值	单位		
驱动器							
t_r, t_f	上升/下降时间	250	360	680	ns		
t_{PHL}, t_{PLH}	传输延迟		280	500	ns		
$t_{SK(P)}$	脉宽失真, $ t_{PHL} - t_{PLH} $			10	ns		
t_{PHZ}, t_{PLZ}	关断时间		10	200	ns		
t_{PZH}, t_{PZL}	使能时间	REB = 0 V, 见图 7-4, 图 7-5		100	600	ns	
		REB = V_{CC} , 见图 7-4, 图 7-5		7.2	11	μs	
接收机							
t_r, t_f	上升/下降时间	38	3.8	10	ns		
t_{PHL}, t_{PLH}	传输延迟		23	110	ns		
$t_{SK(P)}$	脉宽失真, $ t_{PHL} - t_{PLH} $			7	ns		
t_{PHZ}, t_{PLZ}	关断时间		7	20	ns		
$t_{PZH(1)}, t_{PZL(1)}, t_{PZH(2)}, t_{PZL(2)}$	使能时间	DE = V_{CC} , 见图 7-7		8	20	ns	
		DE = 0 V, 见图 7-8		7	14	μs	
t_{FS}	总线 Failsafe 时间	驱动器不使能		38	76	114	ms

6. 参数测量信息

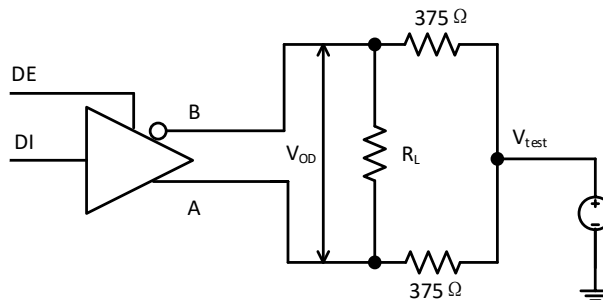


图 7-1 共模负载下驱动器差分输出电压的测量

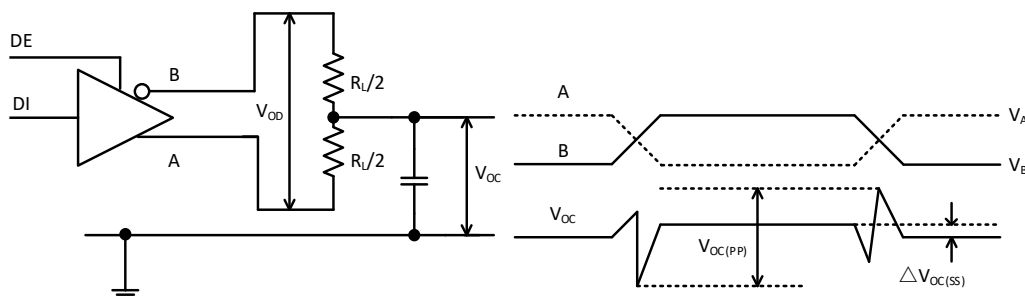


图 7-2 使用 RS-485 负载测量驱动器差分 and 共模输出

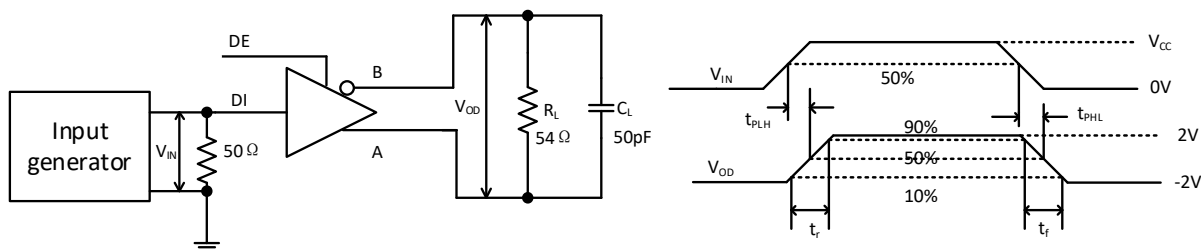


图 7-3 测量驱动器差分输出的上升和下降时间以及传播延迟

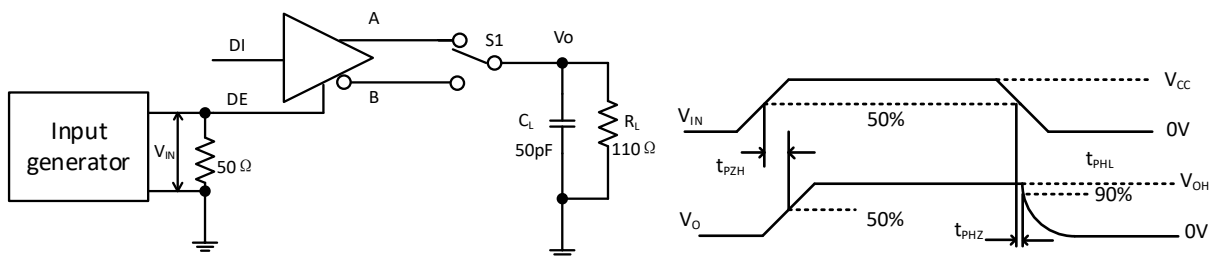


图 7-4 在有效高电平输出和下拉负载情况下测量驱动器使能和禁用时间

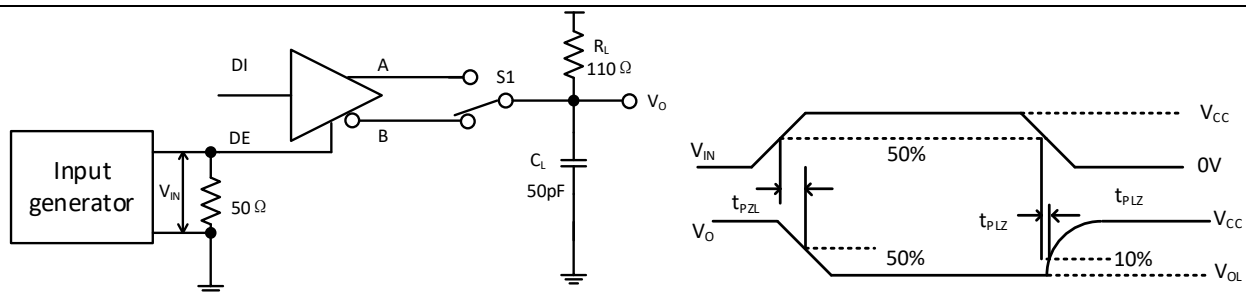


图 7-5 具有有效低电平输出和上拉负载的驱动器使能和禁用时间的测量

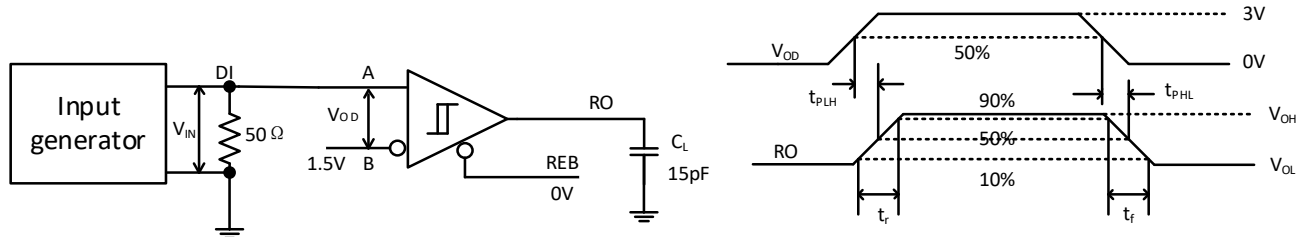


图 7-6 接收机输出上升和下降时间以及传播延迟的测量

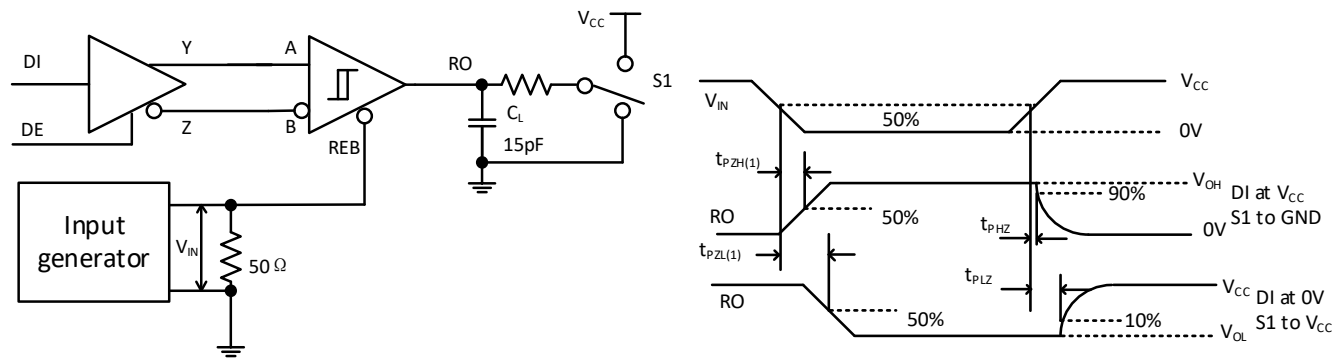


图 7-7 在使能驱动器的情况下测量接收器启用/禁用时间

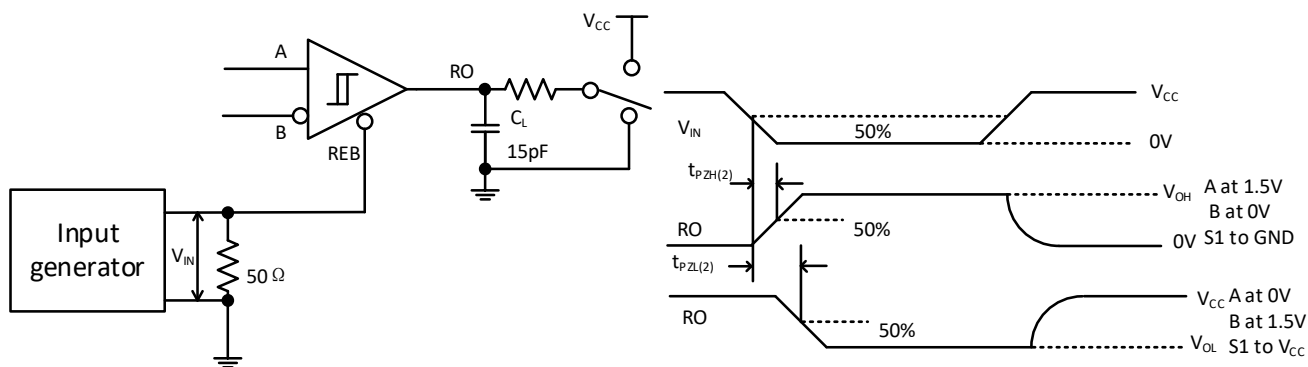


图 7-8 在禁用驱动器的情况下测量接收器使能时间

7. 详细说明

7.1. 功能说明

CA-IF4888HS 器件集成迟滞输入阈值，可为接收器输入阈值提供内部偏置。在总线空闲或总线短路的情况下，接收器输出保持逻辑高电平，而无需外部故障安全偏置电阻。在 -40°C 至 125°C 的较宽环境温度范围内指定器件的工作温度。器件集成自动总线极性校正功能，可以在初始上电时侦测交叉线错误从而在器件内部交换总线 A、B 的极性定义。

7.2. 器件功能模式

当驱动器使能引脚 DE 为逻辑高电平时，差分输出 A 和 B 跟随数据输入 DI 的逻辑状态。DI 处的逻辑高电平导致 A 变为高电平，而 B 变为低电平。在这种情况下，定义 $V_{OD} = V_A - V_B$ 的差分输出电压为正。当 DI 为低电平时，输出状态反转：A 变为低电平，B 变为高电平， V_{OD} 为负。

当 DE 为低电平时，两个输出均变为高阻态。在这种情况下，DI 处的逻辑状态无关紧要。DE 引脚具有一个内部下拉电阻接地，因此，在开路时默认情况下禁用驱动器（高阻抗）。DI 引脚具有一个内部上拉电阻至 V_{CC} ，因此，在使能驱动器时将其悬空，输出 A 变为高电平，而 B 变为低电平。

表 8-1 CA-IF4888HS 驱动器真值表

输入	使能	输出		功能
		A	B	
H	H	H	L	有效输出高电平
L	H	L	H	有效输出低电平
X	L	Z	Z	禁用驱动器
X	OPEN	Z	Z	禁用驱动器（默认状态）
OPEN	H	H	L	有效输出高电平（默认状态）

当接收器使能引脚 REB 为逻辑低电平时，接收器被使能。当 $V_{ID} = V_A - V_B$ 的差分输入电压高于正输入阈值 V_{TH+} 时，接收器输出 RO 变为高电平。当 V_{ID} 低于负输入阈值 V_{TH-} 时，接收器输出 RO 变为低电平。如果 V_{ID} 在 V_{TH+} 和 V_{TH-} 之间，则输出不确定。

当 REB 为逻辑高电平或悬空时，接收器输出为高阻抗， V_{ID} 的大小和极性无关紧要。当收发器与总线断开连接（开路），总线线路彼此短路（短路）或总线未被驱动时，接收器输入的内部偏置会导致输出变为故障安全高电平（总线空闲状态）。

表 8-2 CA-IF4888HS 接收机真值表

差分输入	使能	输出	功能
$V_{ID} = V_A - V_B$	REB	RO	
$V_{TH+} < V_{ID}$	L	H	有效输出高电平
$V_{TH-} < V_{ID} < V_{TH+}$	L	?	总线中间态
$V_{ID} < V_{TH-}$	L	L	有效输出低电平
X	H	Z	禁用接收机
X	OPEN	Z	禁用接收机（默认状态）
Open-circuit bus	L	H	故障安全高电平输出
Short-circuit bus	L	H	故障安全高电平输出
Idle (terminated) bus	L	H	故障安全高电平输出

7.3. 总线极性校正

CA-IF4888HS 可以自动纠正由交叉线故障引起的错误总线信号极性。为了检测总线极性，必须满足以下所有三个条件：

1. 故障安全偏置网络（通常在主节点上）必须定义总线的信号极性；
2. 从节点必须使能接收机并禁用驱动器（ $REB=DE=0$ ）；
3. 总线必须在故障安全时间（ t_{FS-max} ）内空闲。

故障安全时间过去之后，极性校正完成，并同时应用于接收和发送通道。总线极性的状态被锁存在收发器中，并保持其状态以用于后续数据传输。

在启动数据传输之前，主收发器必须空闲一段时间，该时间间隔超过从收发器的最大故障保护时间 t_{FS-max} 。该空闲时间是通过将方向控制线 DIR 驱动为低电平来实现的。一段时间后（ $t > t_{FS-max}$ ），主机开始发送数据。

由于主机和从机之间出现总线故障，因此从机节点接收极性相反的总线信号。假设从机节点刚刚连接到总线，则方向控制引脚在上电期间被拉低，然后被从机 MCU 驱动为低电平。一旦建立了从属电源，极性校正便开始，并在大约 38ms 至 114ms 之后结束。

最初，从接收机假定正确的总线极性已应用于输入，并且不执行极性反转。由于总线故障保护电压的极性反转，从接收机的输出 RO 变为低电平。经过 t_{FS} 且接收机检测到错误的总线极性后，内部 $POLCOR$ 逻辑将输入信号反相， RO 变为高电平。此时，所有极性相反的输入总线数据都在收发器内进行了极性校正。因为极性校正也应用于传输路径，所以从 MCU 发送的数据被 $POLCOR$ 逻辑反转，然后馈入驱动器。

来自从机 MCU 的反转数据再次由于总线中的极性故障而反转，并且在主机端重新建立了正确的总线极性。每次设备上电并检测到错误的总线极性时，都会重复此过程。

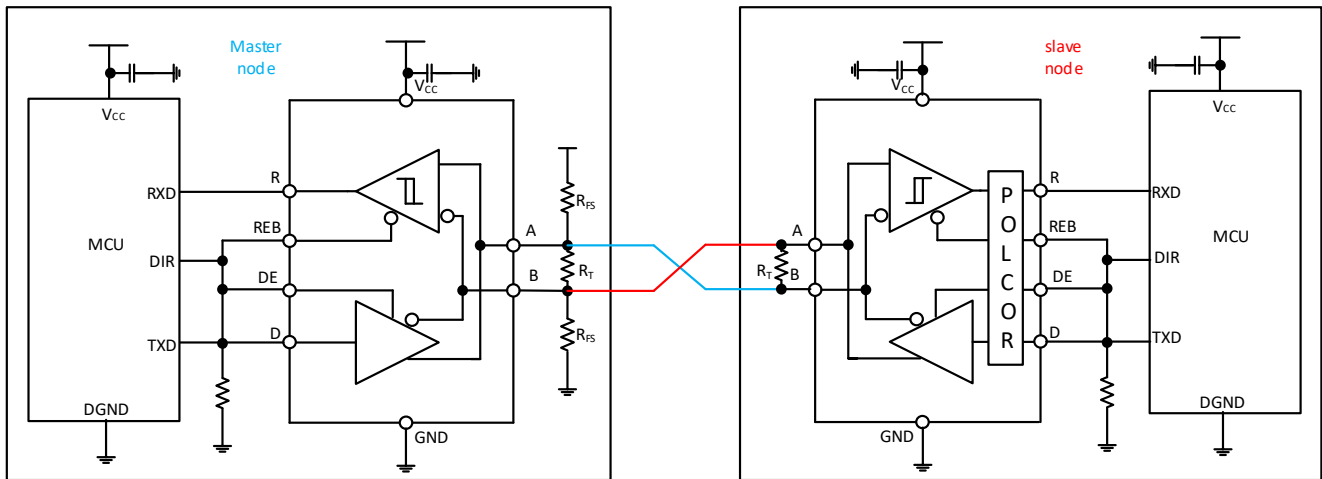


图 8-1 总线极性校正应用框图

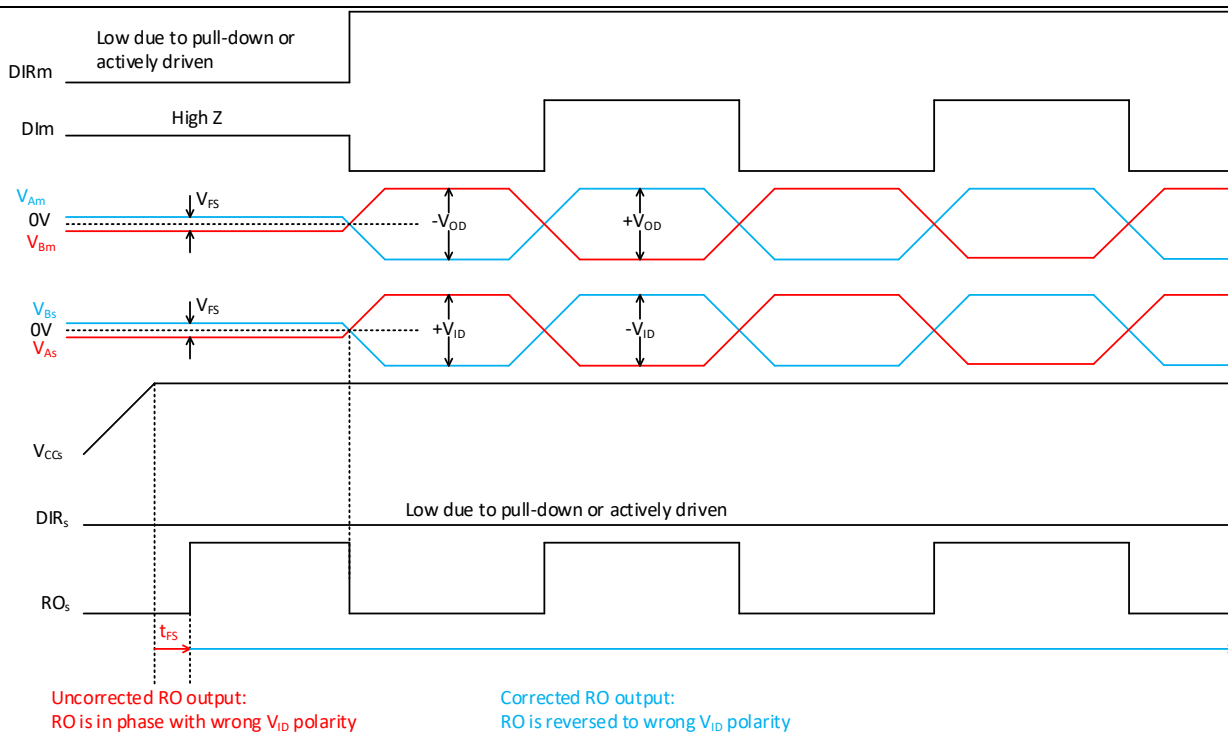
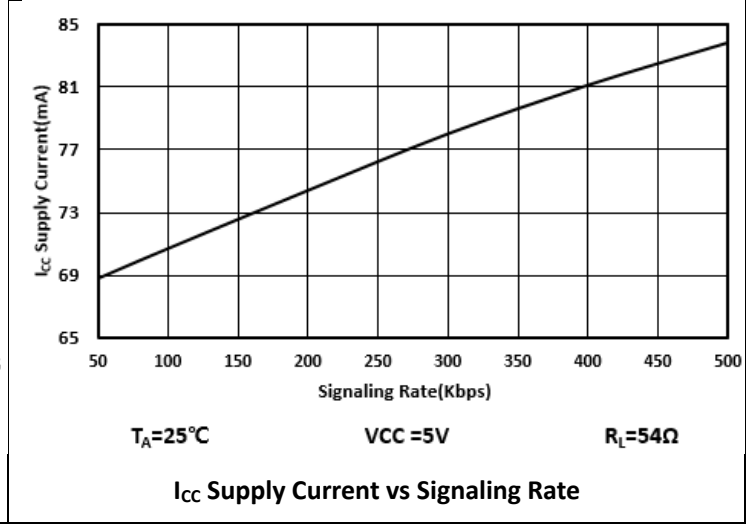
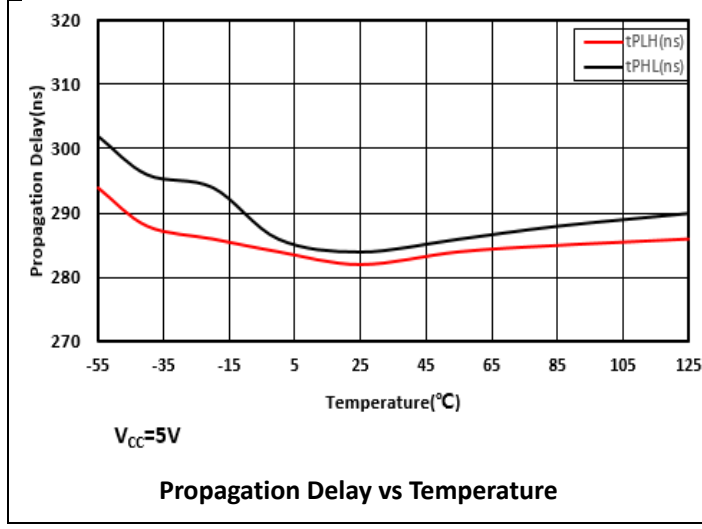
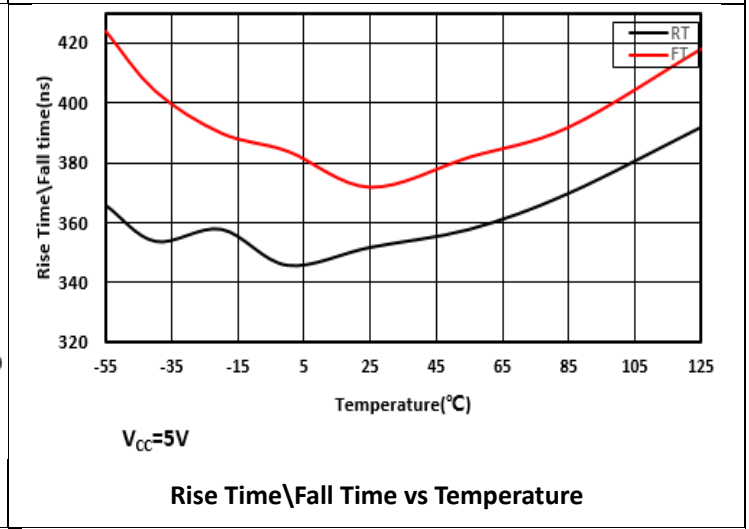
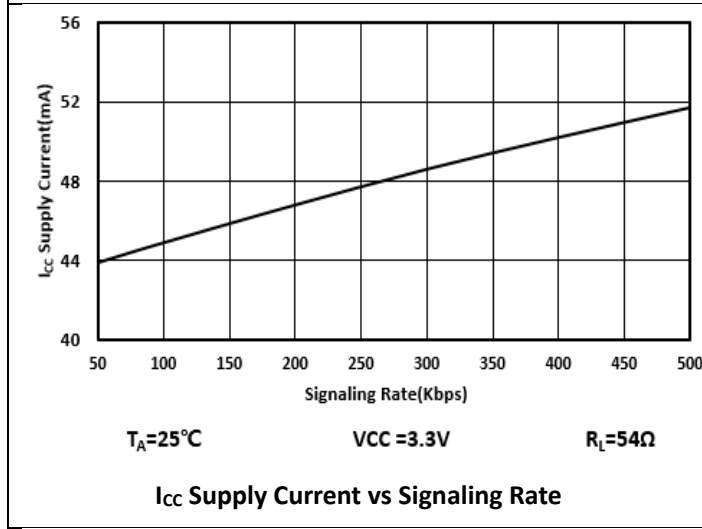
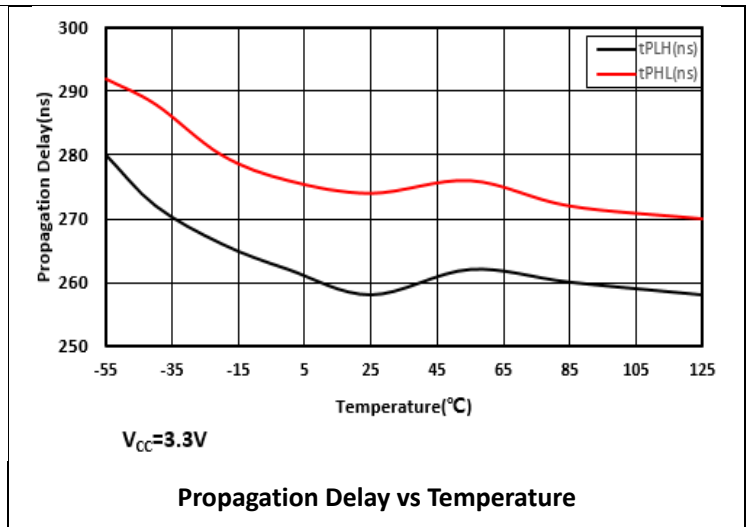
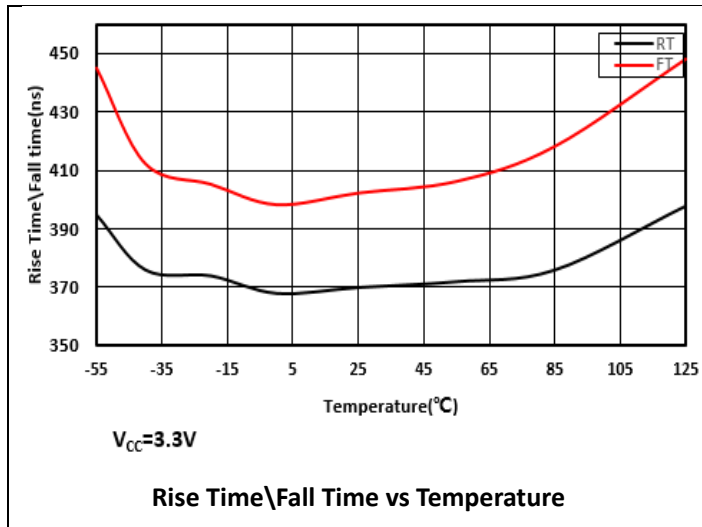


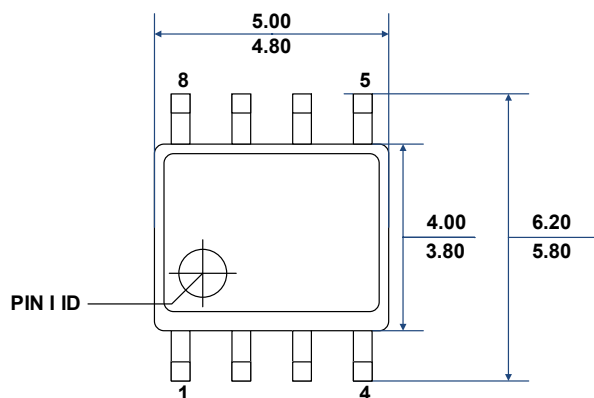
图 8-2 总线极性校正时序图

8. 典型特性曲线

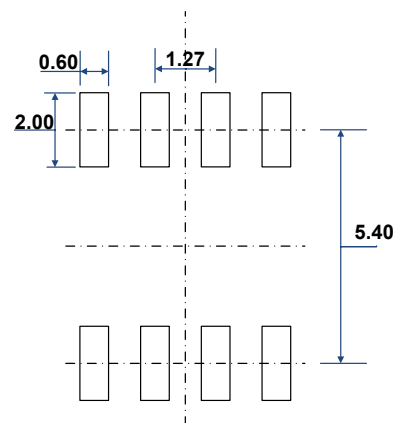


9. 封装信息

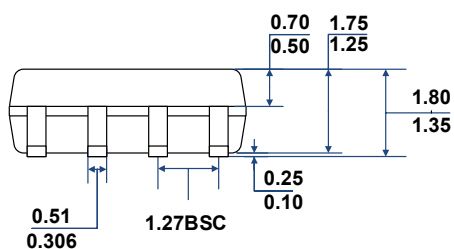
9.1. SOIC8 外形尺寸



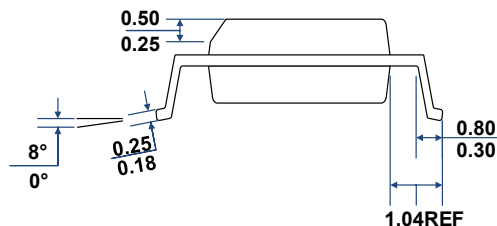
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT-SIDE VIEW

10. 焊接信息

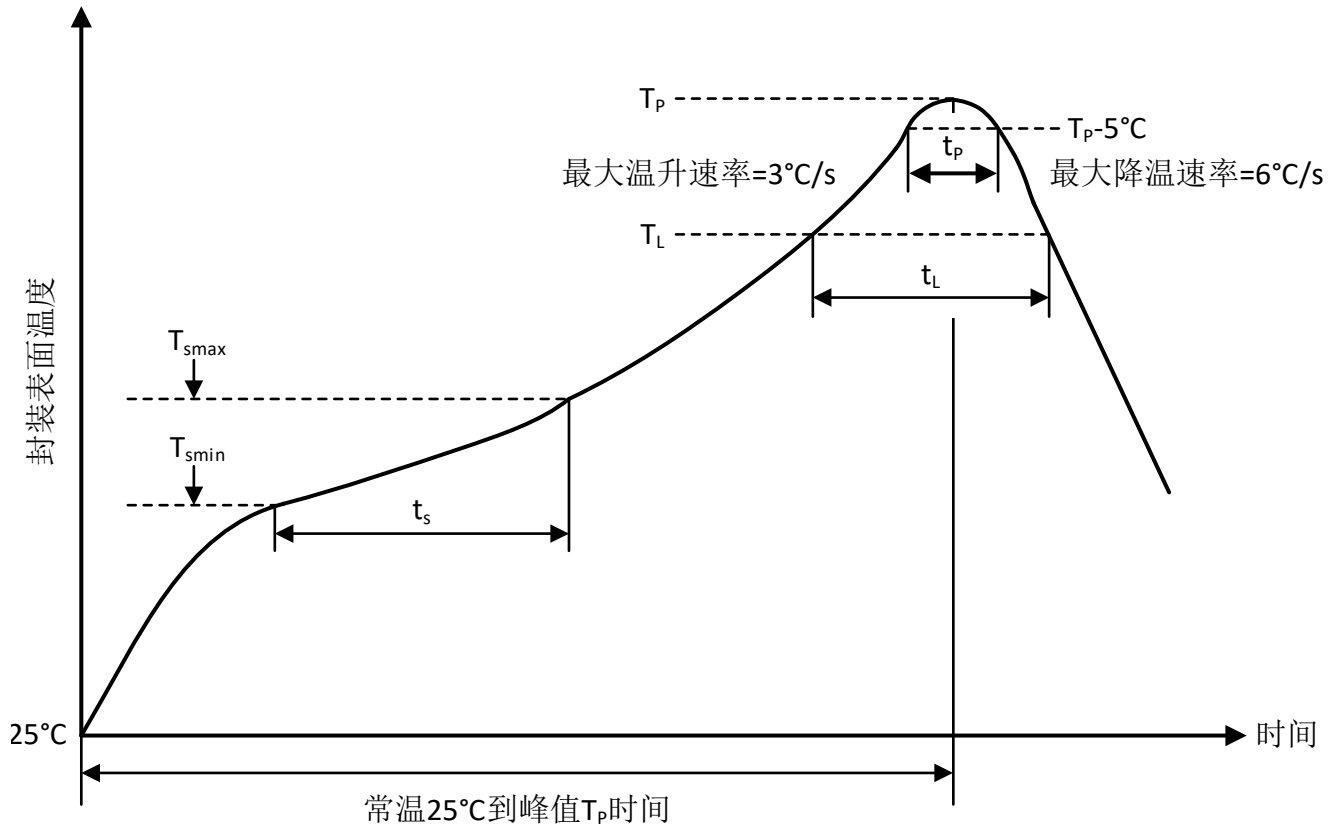


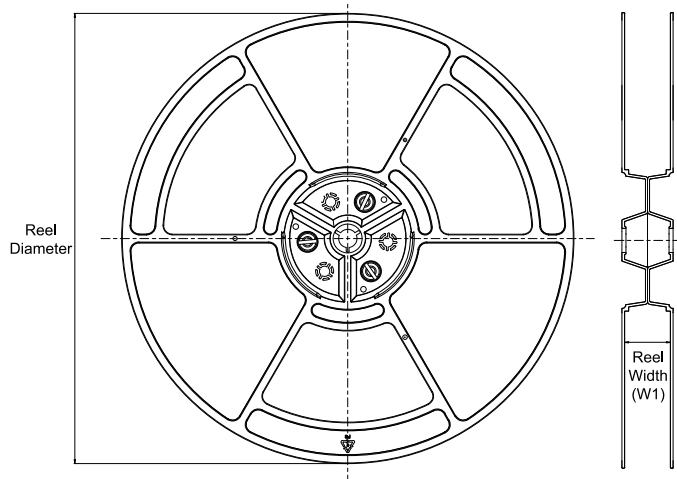
图 10-1 焊接温度曲线

表 10-1 焊接温度参数

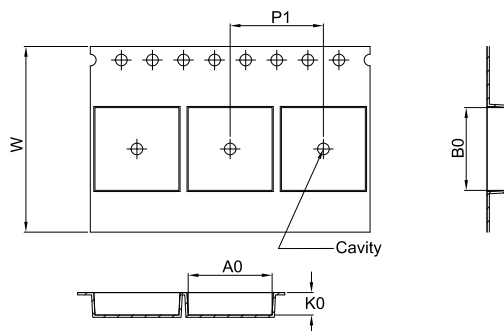
简要说明	无铅焊接
温升速率 (T _L =217°C 至峰值 T _P)	最大 3°C/s
T _{smin} =150°C 到 T _{smax} =200°C 预热时间 t _s	60~120 秒
温度保持 217°C 以上时间 t _L	60~150 秒
峰值温度 T _P	260°C
小于峰值温度 5°C 以内时间 t _p	最长 30 秒
降温速率 (峰值 T _P 至 T _L =217°C)	最大 6°C/s
常温 25°C 到峰值温度 T _P 时间	最长 8 分钟

11. 编带信息

REEL DIMENSIONS

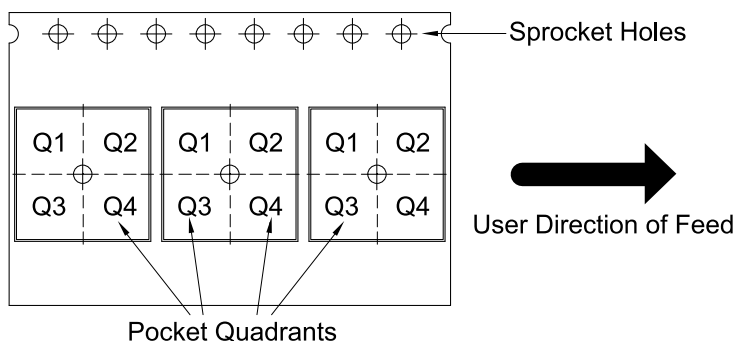


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF4888HS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1

12. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>