

CA-IS3115X 隔离 DC-DC 辐射抑制参考设计

目录

1. 概述.....	2
2. 与辐射相关的芯片工作机制及抑制措施.....	3
2.1. 芯片功能概述.....	3
2.2. 合理放置去耦电容.....	3
2.3. 在原副边之间放置 Y 电容.....	4
2.4. 放置磁珠/共模电感/差模电感.....	4
2.5. 构建边缘防护.....	5
3. EMI 方案描述.....	6
3.1. EMI 结果总结.....	6
3.2. 方案一（两层板、有共模 Choke）.....	6
3.2.1. PCB 参考图及布局建议.....	6
3.2.2. 电路原理图及推荐器件配置.....	8
3.2.3. EMI 测试结果.....	9
3.3. 方案二（四层板、有共模 Choke）.....	11
3.3.1. PCB 参考图及布局建议.....	11
3.3.2. 电路原理图及推荐器件配置.....	13
3.3.3. EMI 测试结果.....	14
3.4. 方案三（四层板、无共模 Choke）.....	16
3.4.1. PCB 参考图及布局建议.....	16
3.4.2. 电路原理图及推荐器件配置.....	18
3.4.3. EMI 测试结果.....	19
修订历史.....	21
重要声明.....	21

1. 概述

关于隔离电源 EMI 辐射抑制的相关措施，在川土微电子之前的应用笔记进行了介绍，详见 AN001: [隔离电源的辐射抑制设计参考.pdf \(chipanalog.com\)](#)。本文针对川土微电子隔离电源产品 CA-IS3115X，详细介绍其在实际应用中抑制辐射的具体方法，基于 2 层及 4 层 PCB 测试板，测试标准为工业标准 EN55032(CISPR32) Class-B。CA-IS3115X 的 PINOUT 及应用框图如下。

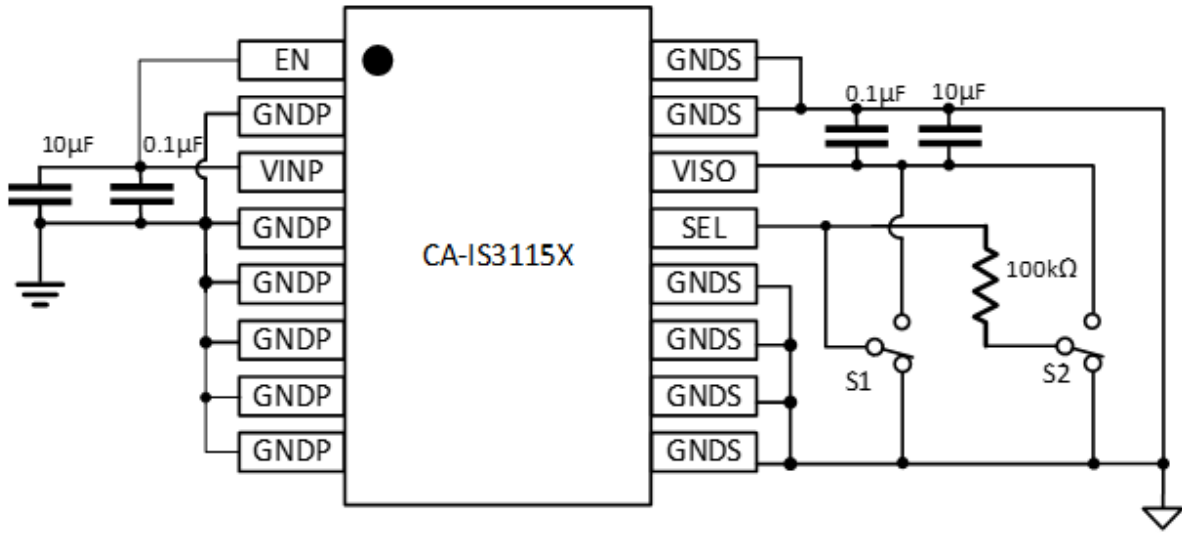
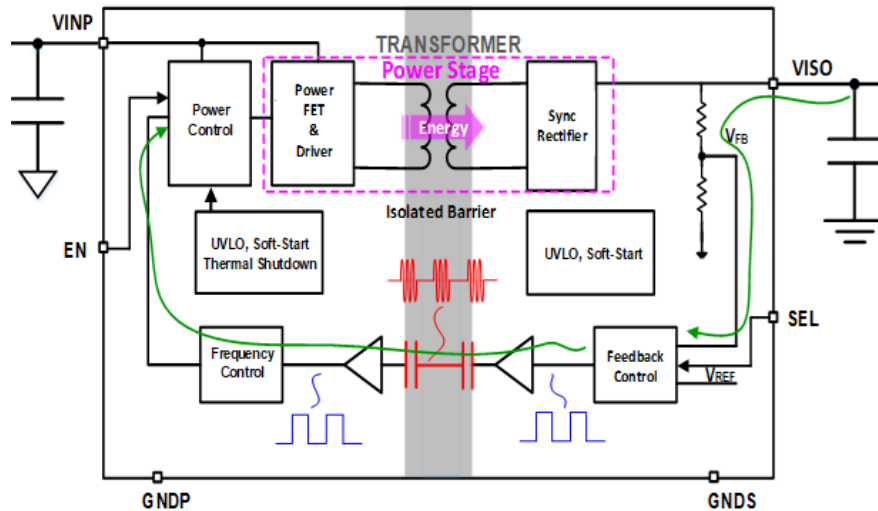


图 1-1 典型应用框图

2. 与辐射相关的芯片工作机制及抑制措施

2.1. 芯片功能概述

CA-IS3115X 芯片内部功能框图如下：

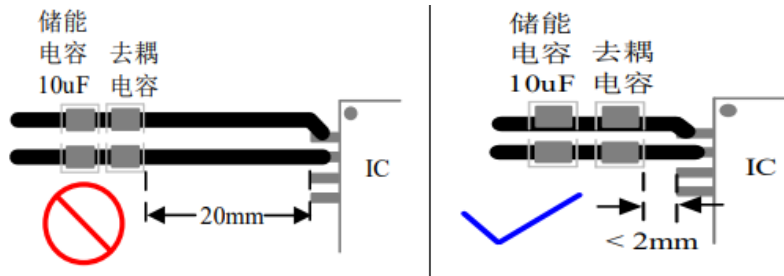


CA-IS3115X 是一款 5kVrms 隔离耐压的 DC-DC 转换芯片，集成片上变压器。原边能量通过变压器传递到副边，且根据 SEL 引脚的不同设置（SEL 接 V_{ISO} ，输出 5V；SEL 接 GND，输出 3.3V；SEL 通过 100K Ω 电阻接 V_{ISO} ，输出 5.4V；SEL 通过 100K Ω 电阻接 GND，输出 3.7V）输出被调节成不同的电压。副边侧(V_{ISO})控制器将控制信号通过一个专用的隔离数据通道传递给原边，原边侧控制电路依据副边侧电路反馈的信号调节传输能量。 V_{INP} 和 V_{ISO} 电源上都具备带迟滞的欠压锁定(UVLO)保护，保证了系统在噪声条件下的良好性能。内置的软启动电路确保了不会出现输入浪涌电流和输出电压过冲。

片上变压器高频开关导致的高 di/dt ， dv/dt 是辐射的源头，在设计外围电路及 PCB 布板时需考虑 EMI 抑制策略，以下是一些具体的建议。

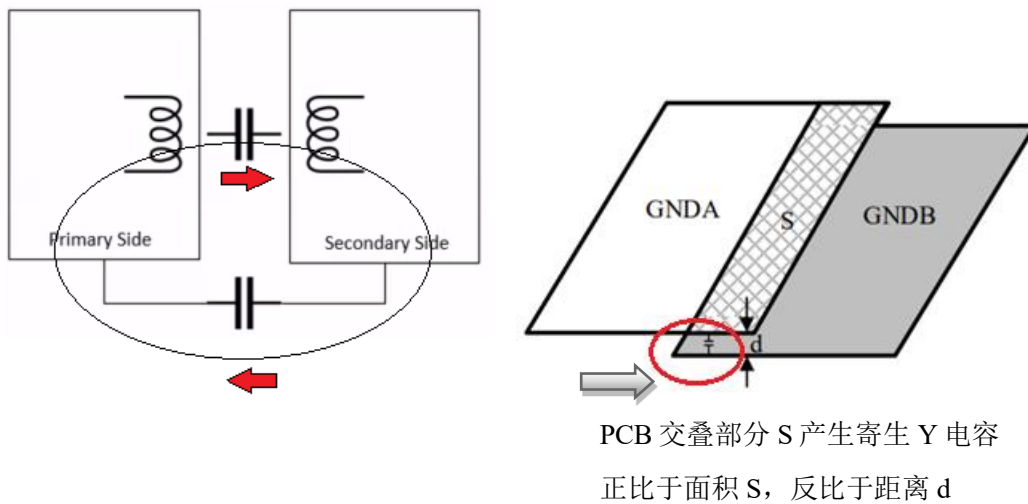
2.2. 合理放置去耦电容

去耦电容有助于滤除高频开关引起的差模噪声并为芯片提供瞬时峰值电流。建议在原边电源与地及副边电源与地之间均放置低 ESL/ESR 的 MLCC 电容，去耦电容尽可能靠近芯片封装管脚（建议 1-2mm，如下图所示），以缩小高频电流环路减小辐射。去耦电容容值建议取 10nF, 100nF 等，与储能电容 10 μ F 等并联。



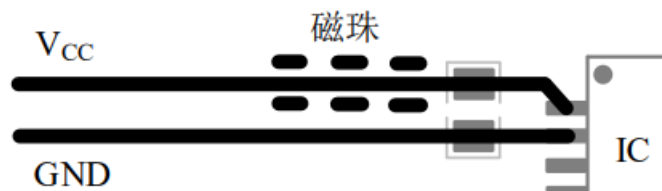
2.3. 在原副边之间放置 Y 电容

高频开关状态下，共模电流在原副边线圈的寄生电容及 PCB 对地的寄生电容之间形成环路，因环路面积大，产生辐射。方案一采用在原副边之间放置分立 Y 电容，为共模电流提供一个低阻抗的回流路径，减小环路面积降低辐射（如左下图）。方案二采用 4 层 PCB 在内部 2/3 层之间形成频率特性更好的层叠 Y 电容（如右下图）。



2.4. 放置磁珠/共模电感/差模电感

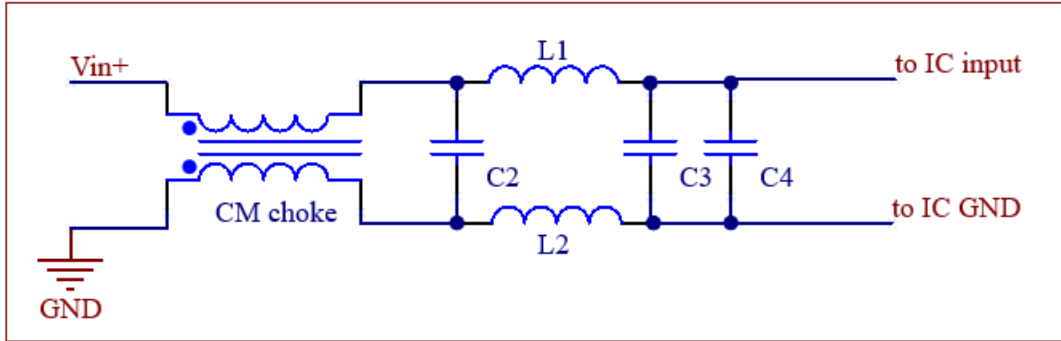
在原边输入侧的电源与地之间放置磁珠增加高频阻抗降低辐射，磁珠紧贴上述去耦电容放置，如下图所示，参数建议取 $600\ \Omega - 2K\ \Omega @ 100MHz$ 。



在原边输入侧的电源与地之间视测试效果选择性放置共模电感滤除中高频噪声，如下图输入端 CM choke 所示，参数建议取 $1K\ \Omega - 5K\ \Omega @ 100MHz$ 。

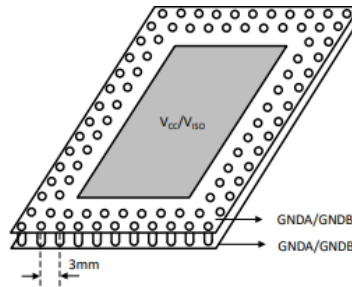
在共模电感之后视测试效果选择性放置差模电感滤除中低频噪声，如下图中 L1, L2 所示。

建议磁珠及共模/差模电感等磁性器件下不铺地，以免被 PCB 寄生电容旁路掉。



2.5. 构建边缘防护

在 PCB 四周边缘放置密集的接地过孔，减小接地阻抗并抑制对外辐射。建议有两排或两排以上过孔，两排过孔尽量相互错开，如下图所示。



3. EMI 方案描述

3.1. EMI 结果总结

表 3-1 方案结果总结

方案	EMI 余量	频点	PCB 层数	层叠电容	Y 电容	共模电感	差模电感
方案一	1.07dB	287MHz	2	无	19pF	500Ω(@100 MHz)	无
方案二	4.31dB	277MHz	4	有(面积 120mm ² , 距离 1mm)	19pF	1000Ω(@10 0MHz)	2.2uH(2pcs)
方案三	1.29dB	462MHz	4	有(面积 120mm ² , 距离 1mm)	19pF	无	2.2uH(2pcs)

方案差异点:

- 方案一为 2 层板无层叠电容, 有共模电感, 无差模电感;
- 方案二为 4 层板有层叠电容, 有共模电感, 有差模电感;
- 方案三为 4 层板有层叠电容, 无共模电感, 有差模电感;

3.2. 方案一 (两层板、有共模 Choke)

3.2.1. PCB 参考图及布局建议

- 电源输入端采用 LDO(LM1086)将输出电压调整为纯净的 5V 给后级电路供电 (下图共模电感 CM2 之前);
- 将去耦电容紧靠芯片原副边的电源/地放置, 缩小高频环路, 如下图中 C3、C4、C5、C6;
- CA-IS3115 原边输入侧放置共模电感 CM2, 磁珠 BD1/2/3/4 等, 滤除高频噪声;
- 在 CA-IS3115 原副边参考地之间串联放置 Y 电容及电阻, 缩小高频环路抑制辐射;
- R3,R4 为负载电阻, 副边输出为 5V/200mA;
- 原副边板边参考地处打密集过孔形成地屏蔽圈抑制空间辐射;

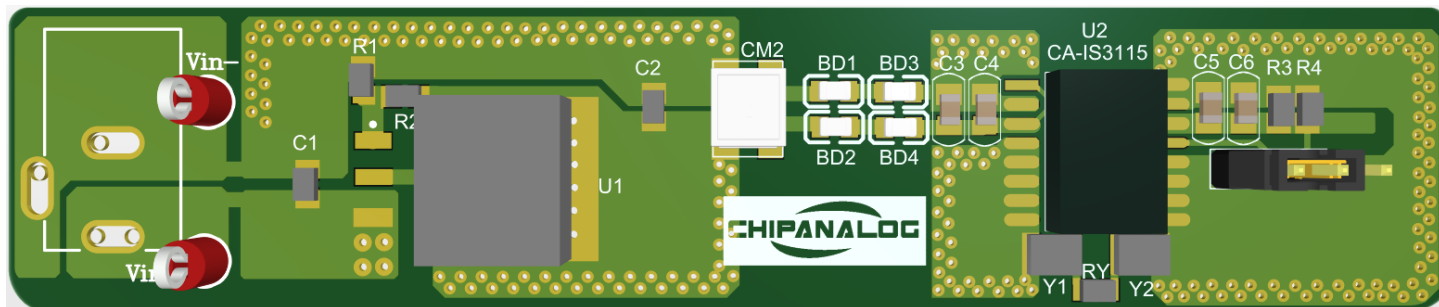


图 3-1 PCB 3D 图

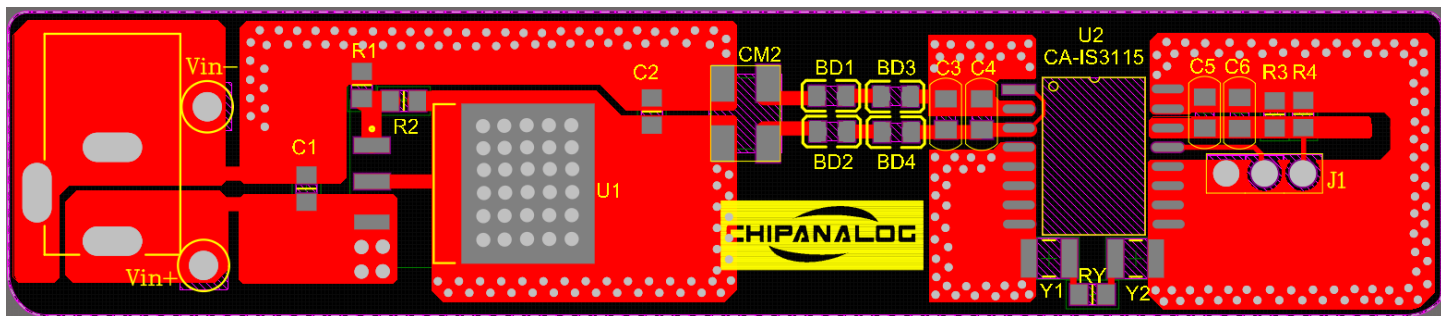


图 3-2 PCB 顶层

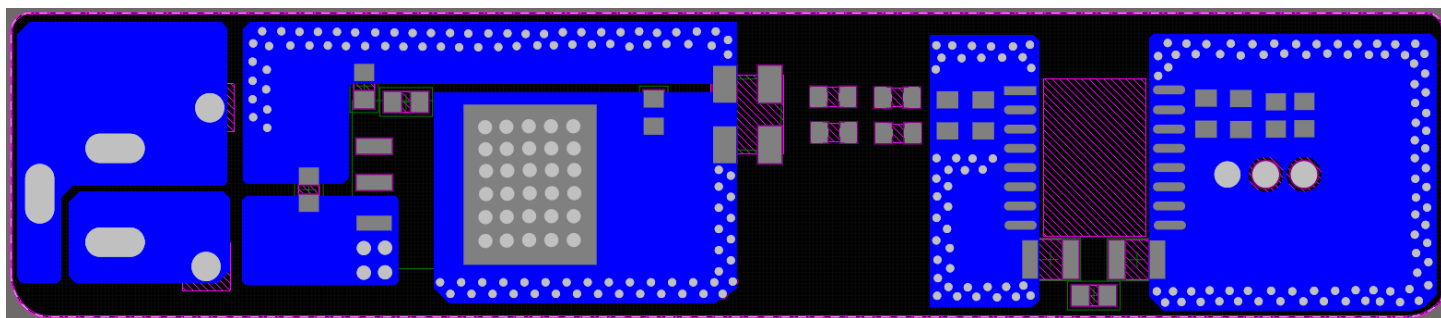


图 3-3 PCB 底层

3.2.2. 电路原理图及推荐器件配置

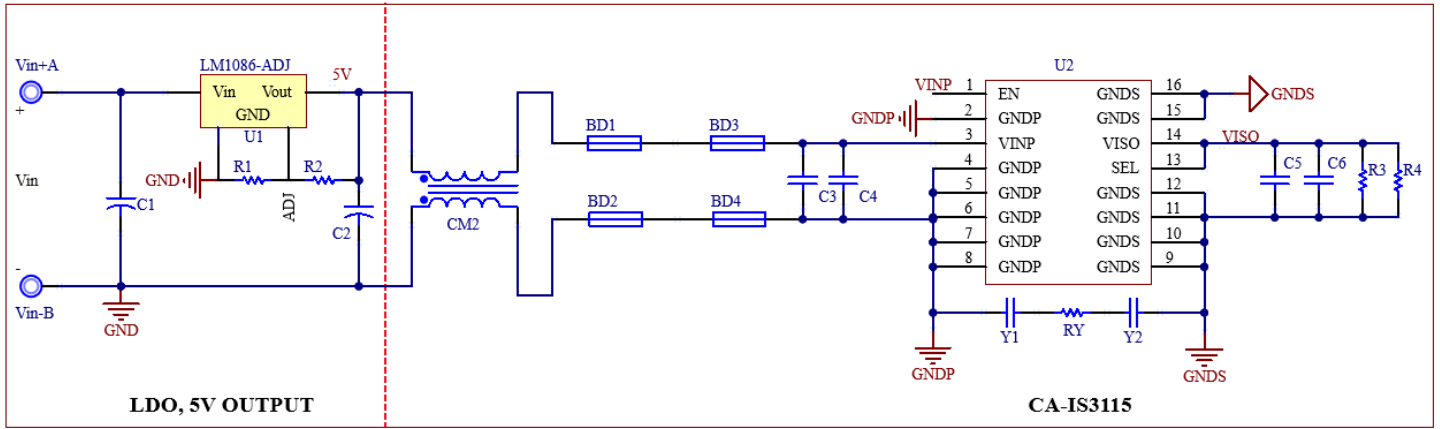


图 3-4 电路原理图

表 3-2 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
去耦电容	C4, C5	10nF		
	C3, C6	10uF		
共模电感	CM2	500 Ω (@100MHz)	DLW5ATH501TQ2	
磁珠	BD1, BD2	600 Ω (@100MHz)	BLM18DN601SN1	
	BD3, BD4	1K Ω (@100MHz)	BLM18HE102SN1	
Y 电容	Y1, Y2	39pF	GRM31A7U3D390JW31	
阻尼电阻	RY	10 Ω		与 Y 电容串联

3.2.3. EMI 测试结果

表 3-3 方案一 EMI 测试结果总结

输入电压	输出电压	负载大小	垂直余量	水平余量
5V	5V	200mA	4.31dB	1.07dB

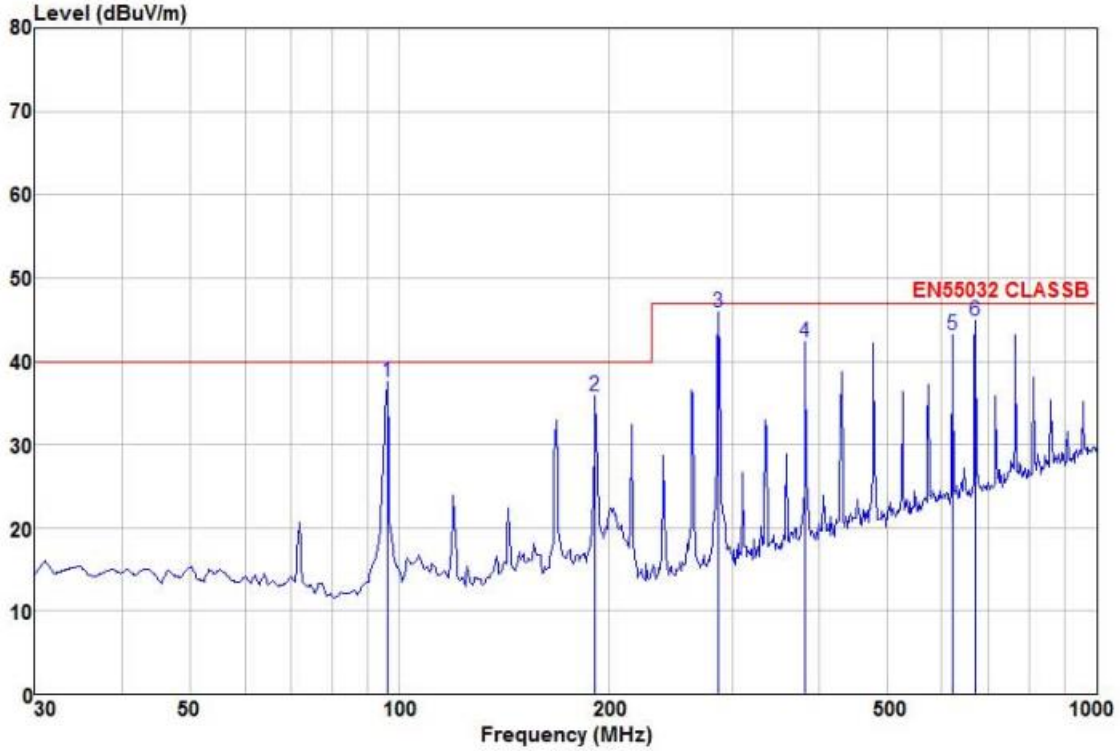


图 3-5 水平方向结果

水平方向 EMI 测试结果：30MHz -1000MHz，余量 1.07dB；

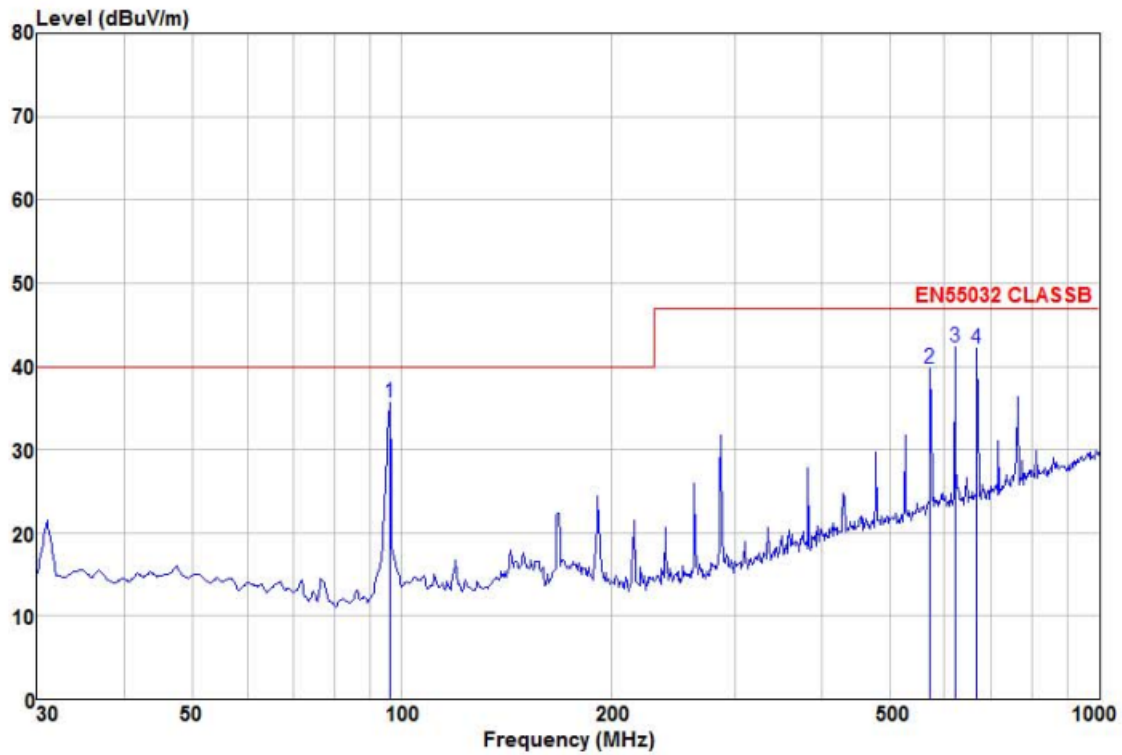


图 3-6 垂直方向结果

垂直方向 EMI 测试结果：30MHz -1000MHz，余量 4.31dB；

3.3. 方案二（四层板、有共模 Choke）

3.3.1. PCB 参考图及布局建议

- 1) 电源输入端采用 LDO(LM1086)将输出电压调整为纯净的 5V 给后级电路供电（下图共模电感 CM2 之前）；
- 2) 将去耦电容紧靠芯片原副边的电源/地放置，缩小高频环路，如下图中 C3、C4、C5、C6；
- 3) CA-IS3115 原边输入侧放置共模电感 CM2，差模电感 L1/L2，磁珠 BD1/BD2, 滤除高频噪声；
- 4) 在 CA-IS3115 原副边参考地之间串联放置 Y 电容及电阻，缩小高频环路抑制辐射；
- 5) R3,R4 为负载电阻，副边输出为 5V/200mA；
- 6) 在 PCB 内部第 2/3 层之间，将原副边地铺地形成层叠 Y 电容；
- 7) 原副边板边参考地处打密集过孔形成地屏蔽圈抑制空间辐射；

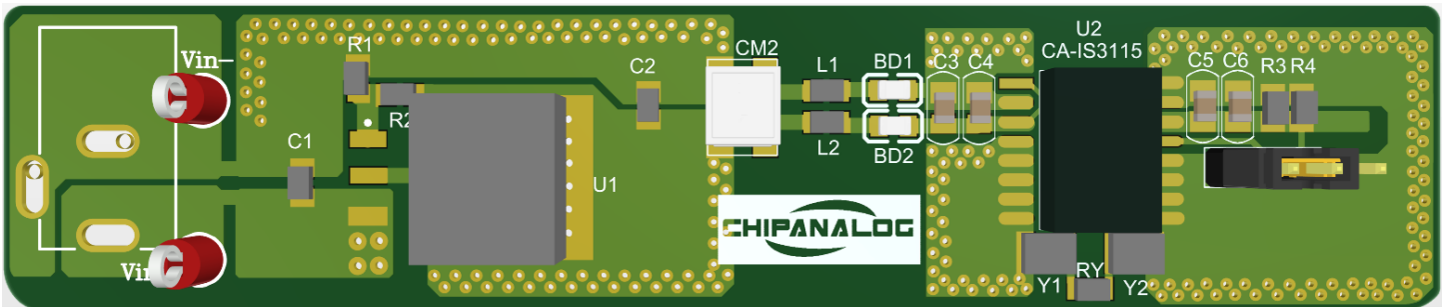


图 3-7 PCB 3D 图

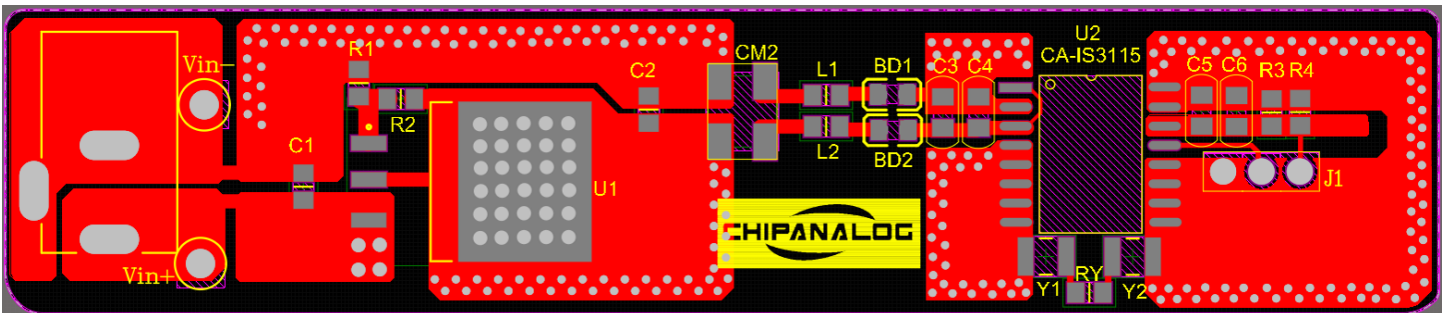


图 3-8 PCB 顶层

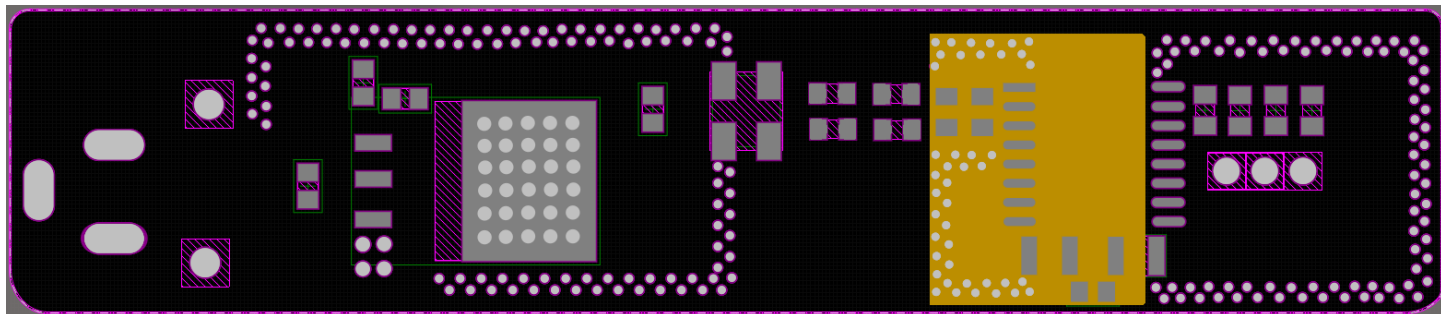


图 3-9 PCB 第 2 层 (内层)

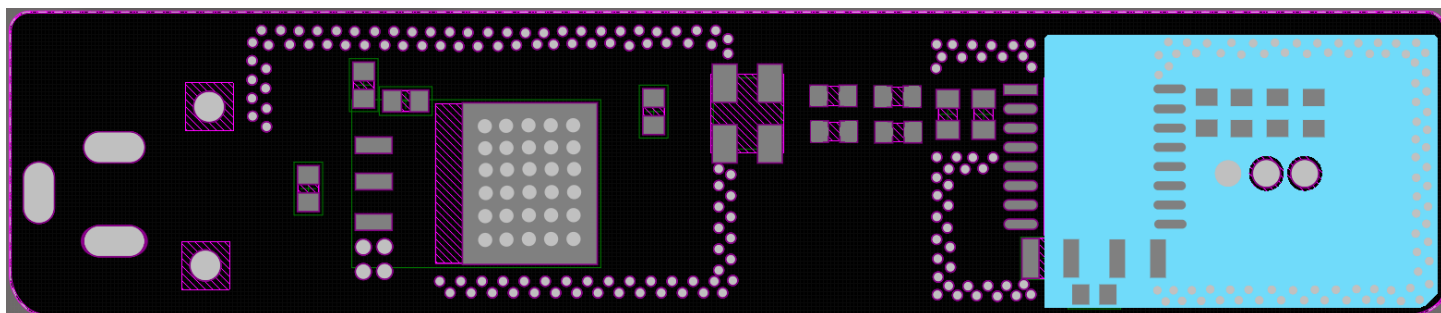


图 3-10 PCB 第 3 层 (内层)

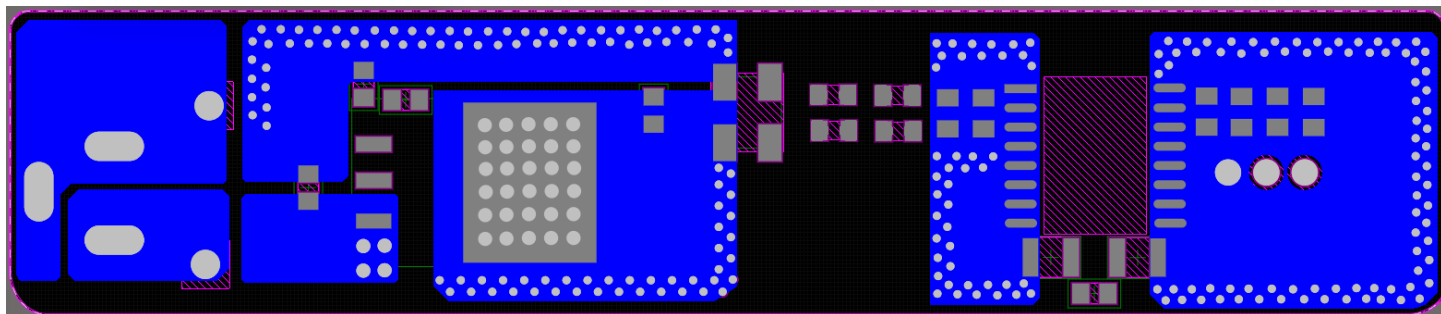
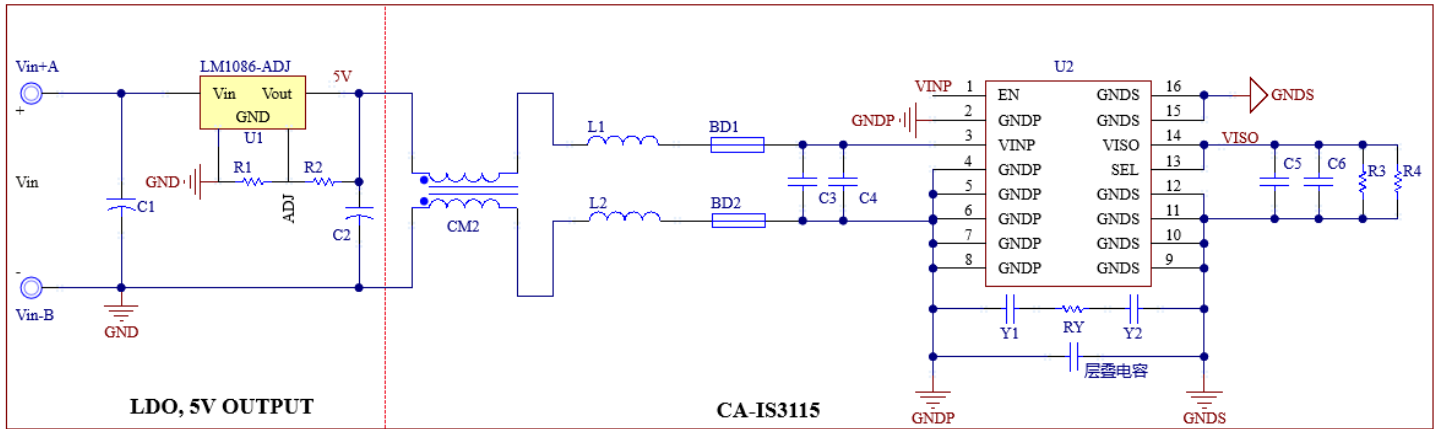


图 3-11 PCB 底层

3.3.2. 电路原理图及推荐器件配置

图 3-12 电路原理图
表 3-4 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
去耦电容	C4, C5	10nF		
	C3, C6	10uF		
共模电感	CM2	1K Ω (@100MHz)	DLW5BTH102TQ2	
磁珠	BD1, BD2	1k Ω (@100MHz)	BLM18HE102SN1	
差模电感	L1, L2	2.2uH	MLZ2012M2R2HT000	
Y 电容	Y1, Y2	39pF	GRM31A7U3D390JW31	
层叠 Y 电容	内部 2/3 层 交叠部分	面积 120mm ² , 距离 1mm		
阻尼电阻	RY	10 Ω		与 Y 电容串联

3.3.3. EMI 测试结果

表 3-5 方案二 EMI 测试结果总结

输入电压	输出电压	负载大小	垂直余量	水平余量
5V	5V	200mA	9dB	4.31dB

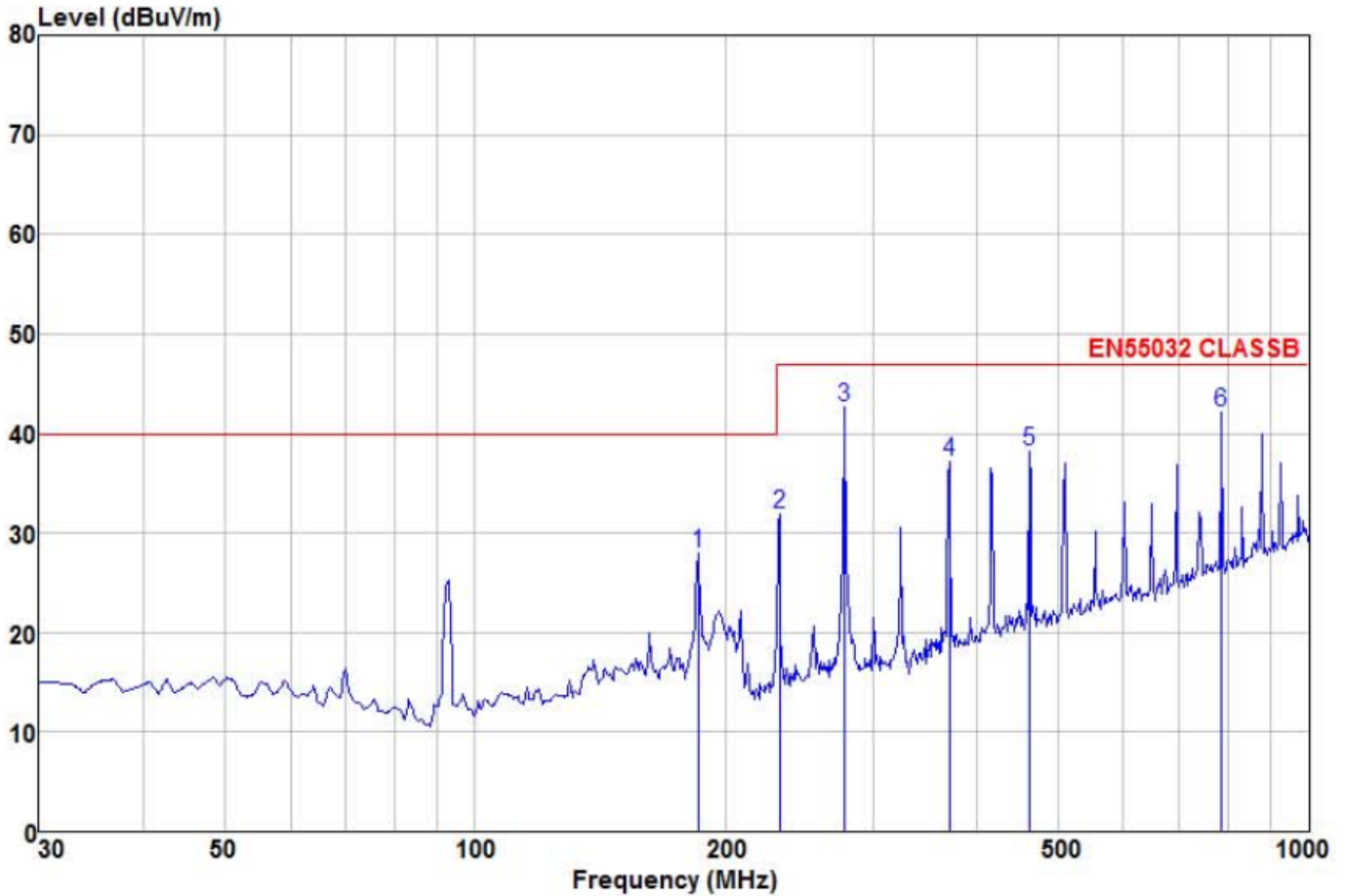


图 3-13 水平方向结果

水平方向 EMI 测试结果：30MHz -1000MHz，余量 4.31dB；

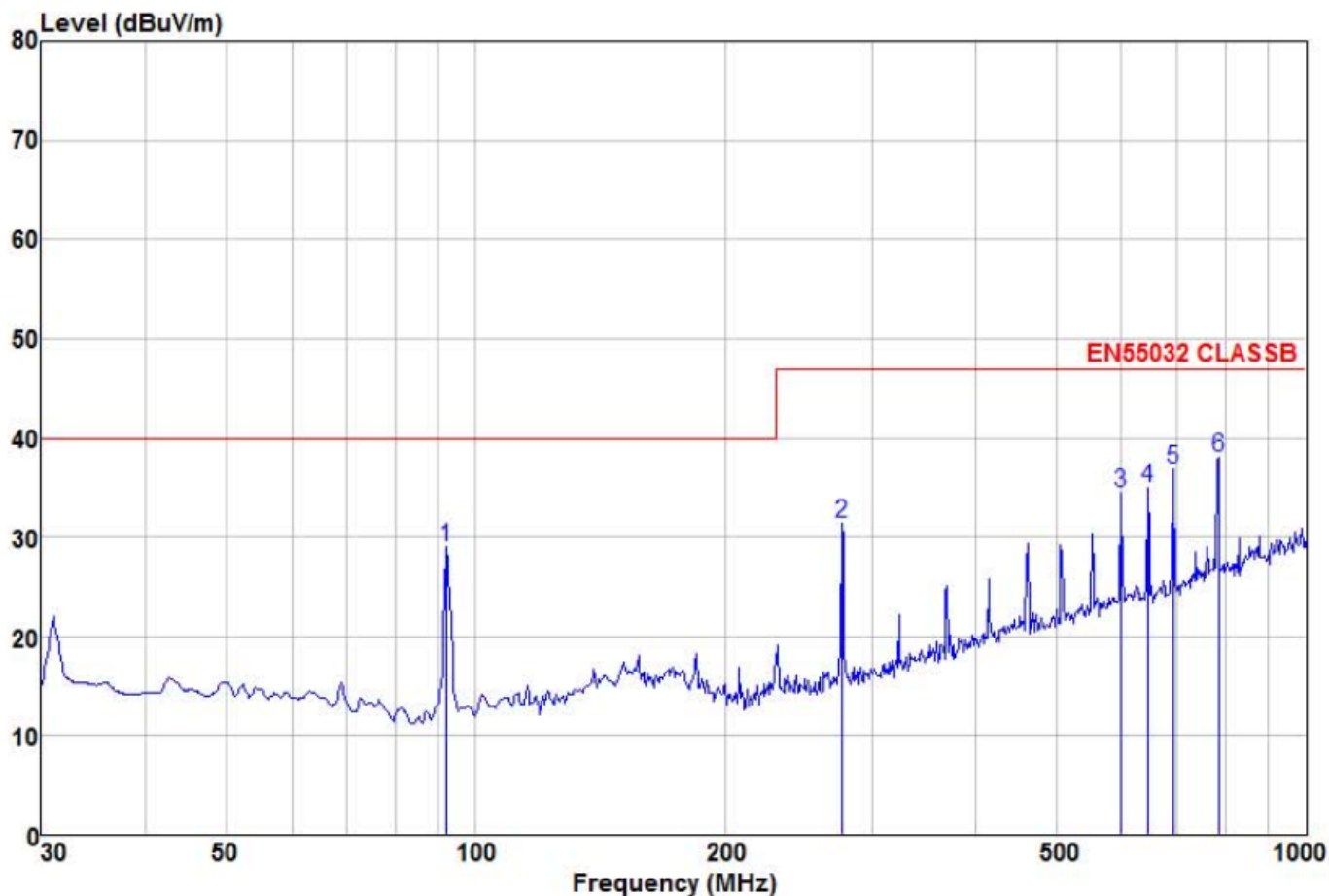


图 3-14 垂直方向结果

垂直方向 EMI 测试结果：30MHz -1000MHz，余量 9dB；

3.4. 方案三（四层板、无共模 Choke）

3.4.1. PCB 参考图及布局建议

- 1) 电源输入端采用 LDO(LM1086)将输出电压调整为纯净的 5V 给后级电路供电（差模电感 L1/L2 之前）；
- 2) 将去耦电容紧靠芯片原副边的电源/地放置，缩小高频环路，如下图中 C3,C4/C5,C6；
- 3) CA-IS3115 原边输入侧放置差模电感 L1/L2, 磁珠 BD1/BD2, 滤除高频噪声；
- 4) 在 CA-IS3115 原副边参考地之间串联放置 Y 电容及电阻，缩小高频环路抑制辐射；
- 5) R3,R4 为负载电阻，副边输出为 5V/200mA；
- 6) 在 PCB 内部第 2/3 层之间，将原副边地铺地形成层叠 Y 电容；
- 7) 原副边板边参考地处打密集过孔形成地屏蔽圈抑制空间辐射；

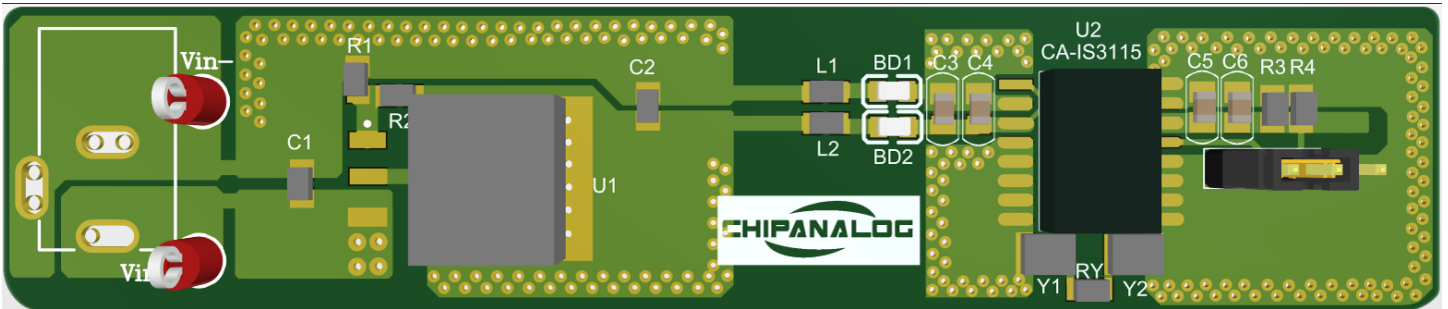


图 3-15 PCB 3D 图

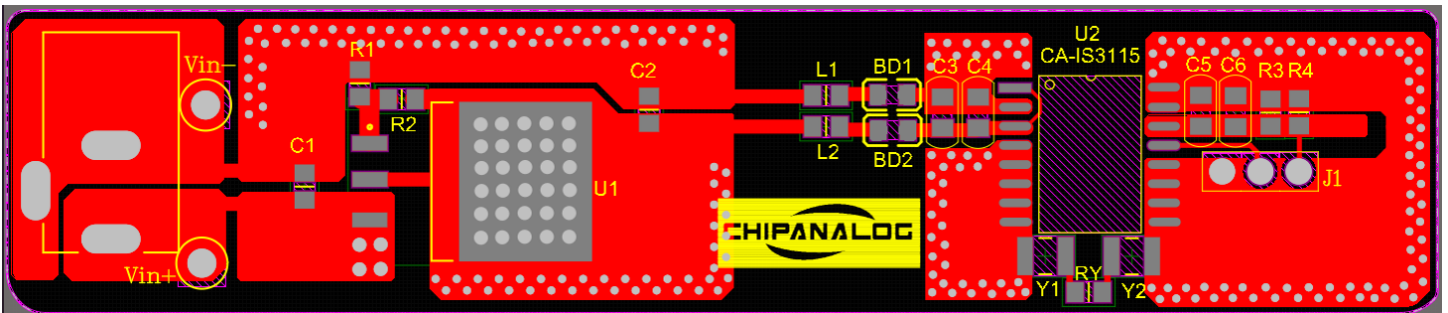


图 3-16 PCB 顶层

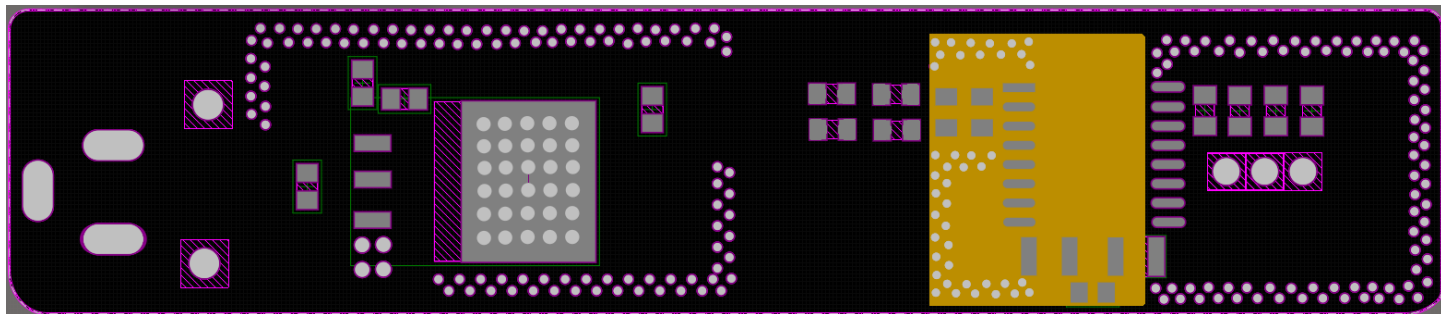


图 3-17 PCB 第 2 层 (内层)

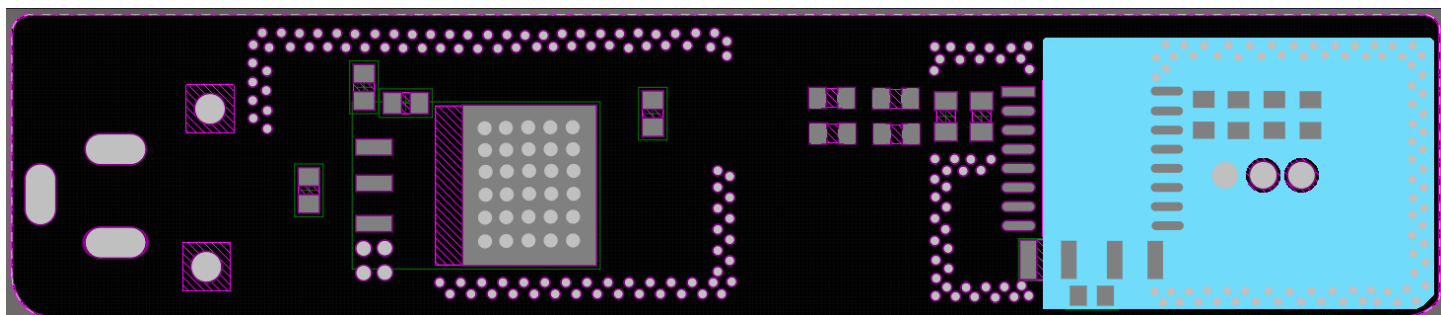


图 3-18 PCB 第 3 层 (内层)

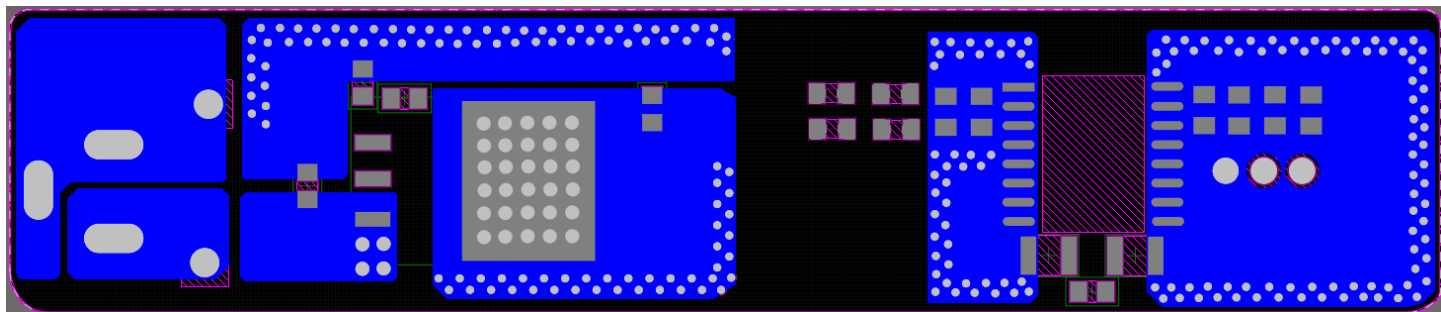


图 3-19 PCB 底层

3.4.2. 电路原理图及推荐器件配置

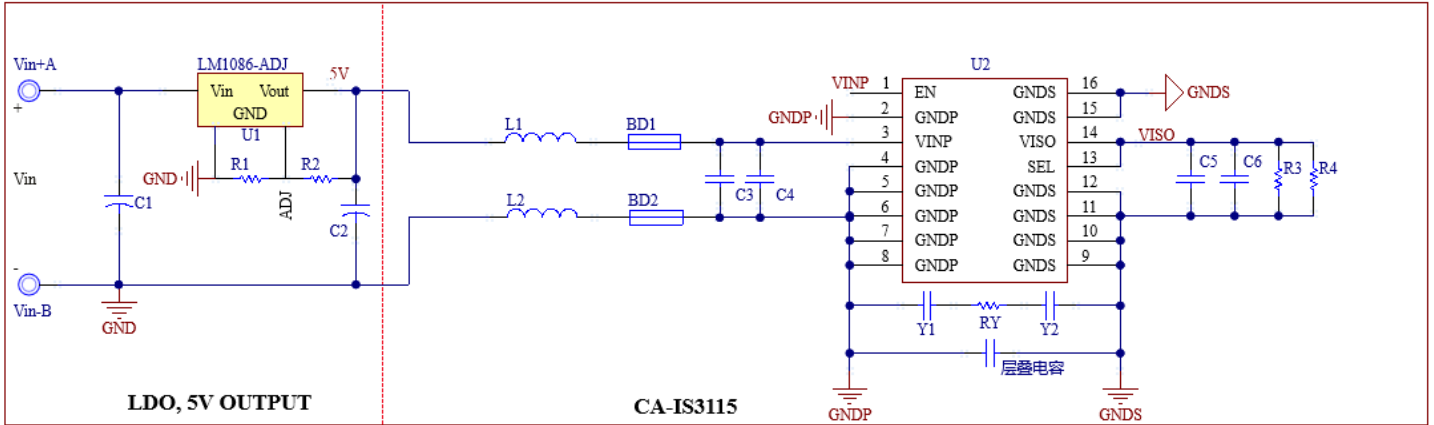


图 3-20 电路原理图

表 3-6 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
去耦电容	C4, C5	10nF		
	C3, C6	10uF		
磁珠	BD1, BD2	1k Ω (@100MHz)	BLM18HE102SN1	
差模电感	L1, L2	2.2uH	MLZ2012M2R2HT000	
Y 电容	Y1, Y2	39pF	GRM31A7U3D390JW31	
层叠 Y 电容	内部 2/3 层交叠部分	面积 120mm ² , 距离 1mm		
阻尼电阻	RY	10 Ω		与 Y 电容串联

3.4.3. EMI 测试结果

表 3-7 方案三 EMI 测试结果总结

输入电压	输出电压	负载大小	垂直余量	水平余量
5V	5V	200mA	2.77dB	1.29dB

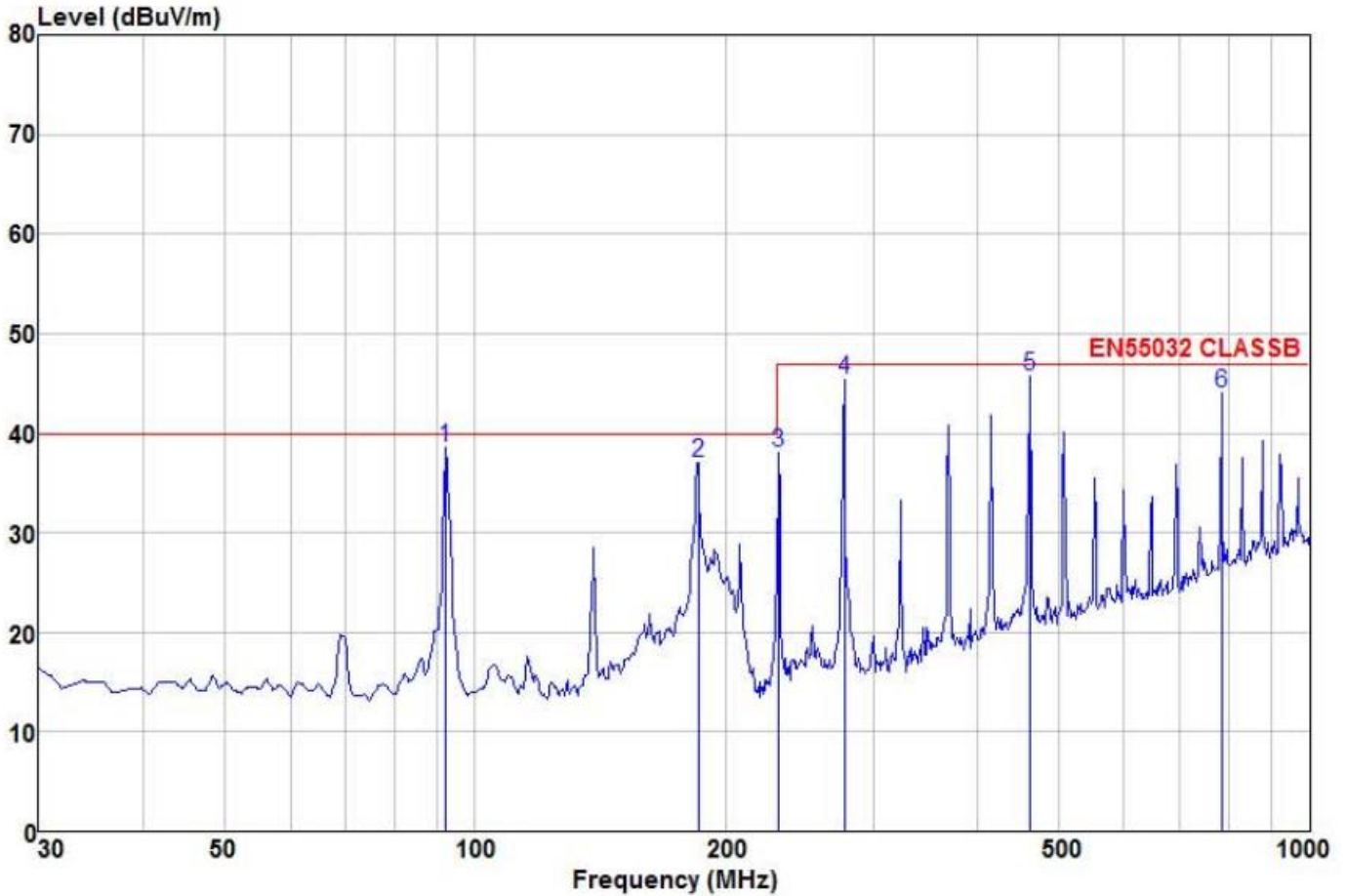


图 3-21 水平方向结果

水平方向 EMI 测试结果：30MHz -1000MHz，余量 1.29dB；

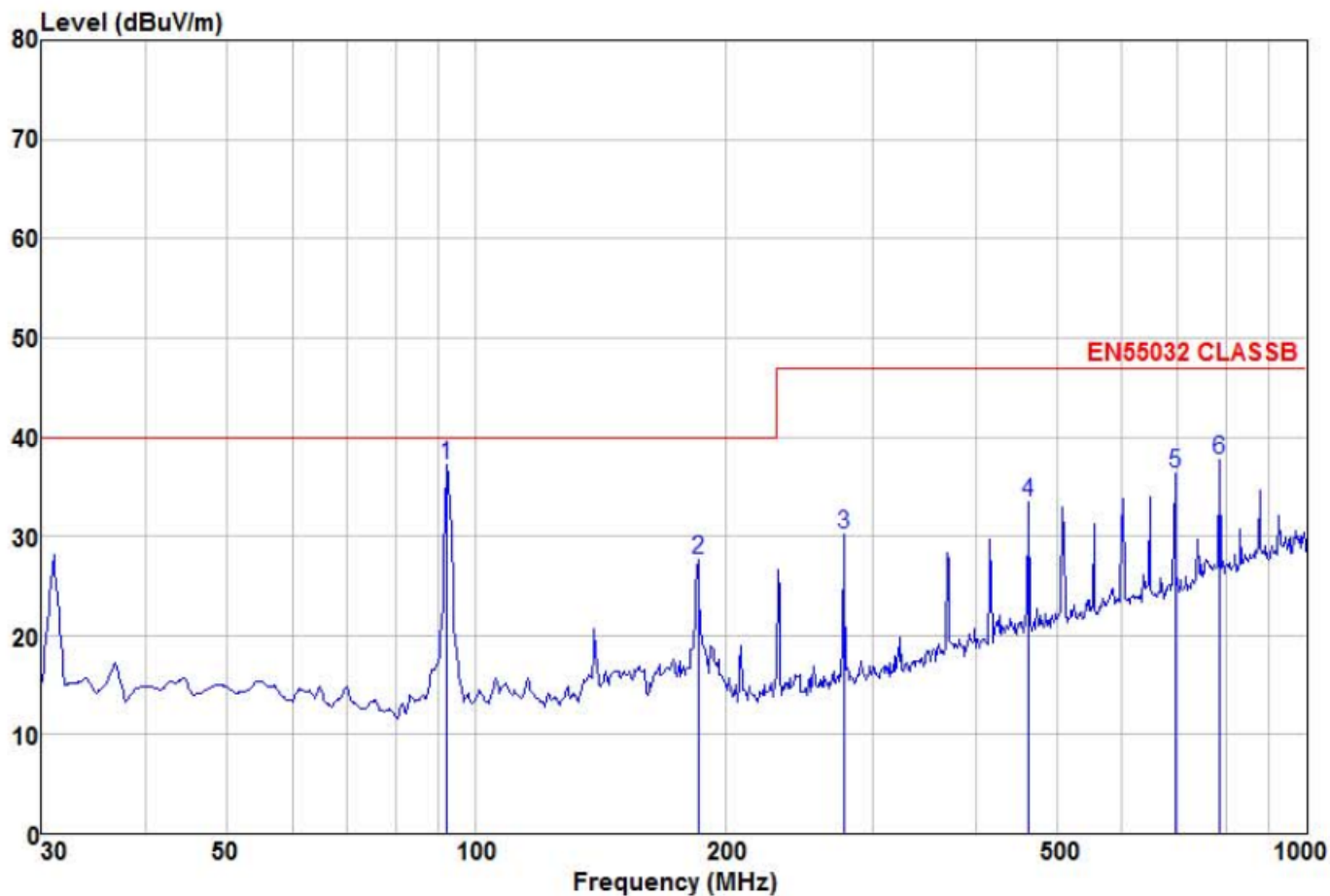


图 3-22 垂直方向结果

垂直方向 EMI 测试结果：30MHz -1000MHz，余量 2.77dB；

修订历史

修订版本	修订时间	修订内容
Ver 1.0	2023/12/25	初始版本

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。