

CA-IS2082B 隔离型半双工 RS-485 收发器使用注意事项

1 简介

CA-IS2082B 为隔离型半双工 RS-485 收发器，采用紧凑型 SSOP16 引脚封装形式，在逻辑侧和总线侧之间通过二氧化硅绝缘栅隔离，能够实现 3kV_{RMS} （1 分钟）隔离耐压等级；CA-IS2082B 满足 RS-485 收发器的标准，能够支持 1/8 单位负载，支持同一总线最多挂载 256 个节点。

本应用笔记主要从 PCB 布板和总线上下拉电阻选择两个方面说明 CA-IS2082B 器件使用注意事项。

2 PCB 布局

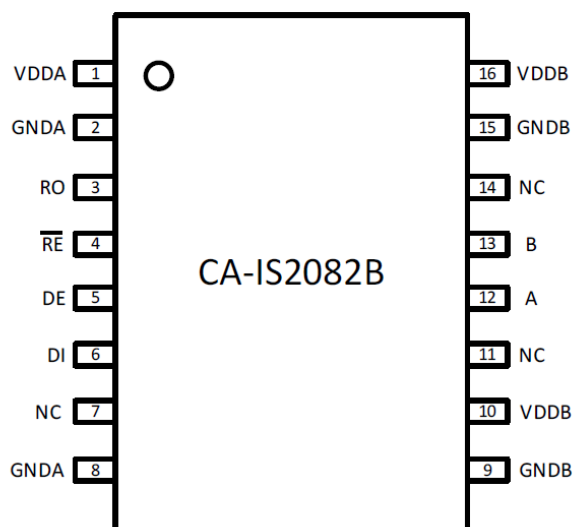


图 1 CA-IS2082B 器件引脚配置图

CA-IS2082B 的器件引脚配置图如图 1 所示，从中可知在总线侧有两对电源轨，其中 10 号引脚的 VDDB 与 9 号引脚的 GNDB 是合封的 RS-485 收发器的电源和地，16 号引脚的 VDDB 与 15 号引脚的 GNDB 是合封的数字隔离器的电源和地，两个 GNDB 通过封装内部基岛短接在一起。为了保证供电的稳定性，建议在 16 号引脚的 VDDB 与 15 号引脚的 GNDB 之间放置 $0.1\mu\text{F}$ 和至少 $1\mu\text{F}$ 的去耦电容，在 10 号引脚的 VDDB 与 9 号引脚的 GNDB 之间放置至少 $0.1\mu\text{F}$ 的去耦电容，上述去耦电容需尽可能靠近对应引脚放置，其中容值小的电容离对应引脚的距离最近。上述电容推荐选用低等效串联电阻的陶瓷电容，并且确保容值在各种工作条件下是足量的。

同理，建议在逻辑侧 1 号引脚的 VDDA 与 2 号引脚的 GNDA 之间放置 $0.1\mu\text{F}$ 和至少 $1\mu\text{F}$ 的去耦电容，逻辑侧有两个 GNDA，它们在封装内部基岛是短接在一起的。

电源去耦电容分布如图 2 所示，示例 PCB 布局如图 3 所示。

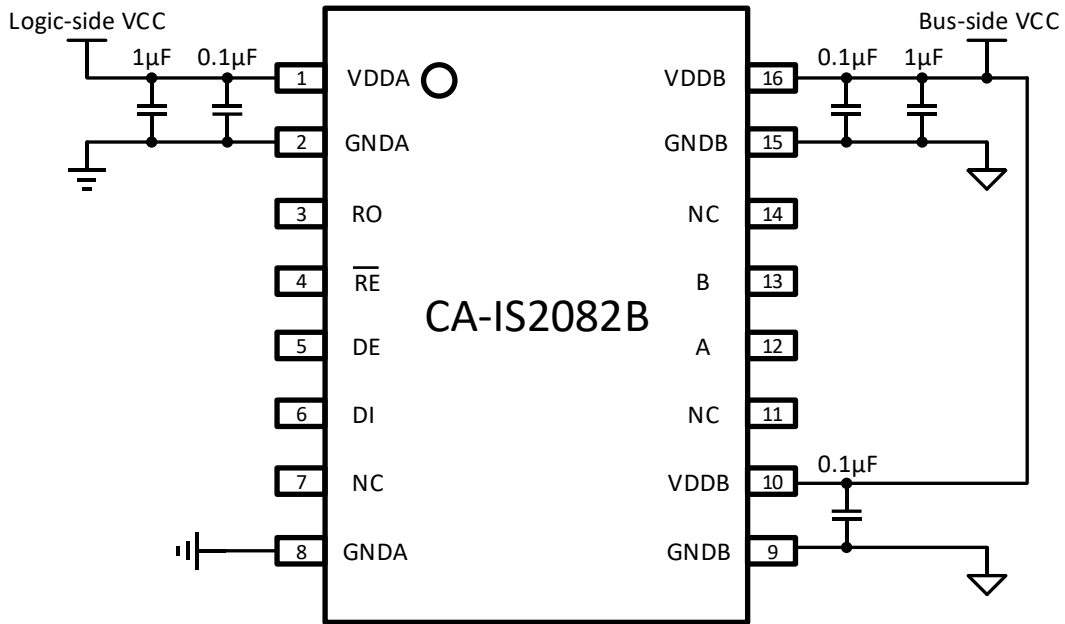


图 2 CA-IS2082B 器件去耦电容分布

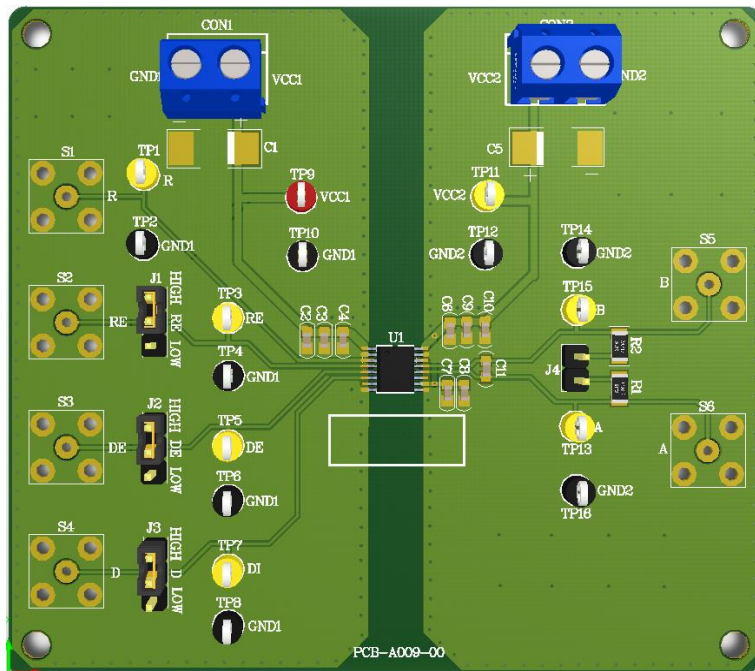


图 3 CA-IS2082B 器件 PCB 布局示意图

3 总线上下拉电阻选择

客户在使用 RS-485 收发器时通常如图 4 所示，在总线端口 A 处加上拉到总线供电 VCC 的电阻 R_{up} ，在总线端口 B 处加下拉到总线参考地 GND 的电阻 R_{dn} ，同时在整个通信网络中的一头一尾节点处加端接电阻 R_{term} （通常为 120Ω ）。上述配置的原因是早期 RS-485 收发器的接收机判决阈值是在 $\pm 200mV$ 之间，上下拉电阻和终端电阻的分压需确保总线在没有被 RS-485 收发器驱动时（处于静默态）A 比 B 高 $200mV$ ，继而保证此时接收机在接收时 RO 输出为默认高电平。CA-IS2082B 接收机的判决阈值是在 $-200mV$ 到 $-50mV$ 之间，理论上可以省去上下拉的偏置电阻就能确保总线在静默态时接收机 RO 输出为高电平。但是为了提高总线通信的可靠性、安全性和兼容性，以及遵循客户一贯以来的使用习惯，本应用笔记将在客户目前使用的方案中计算上下拉电阻的推荐值。

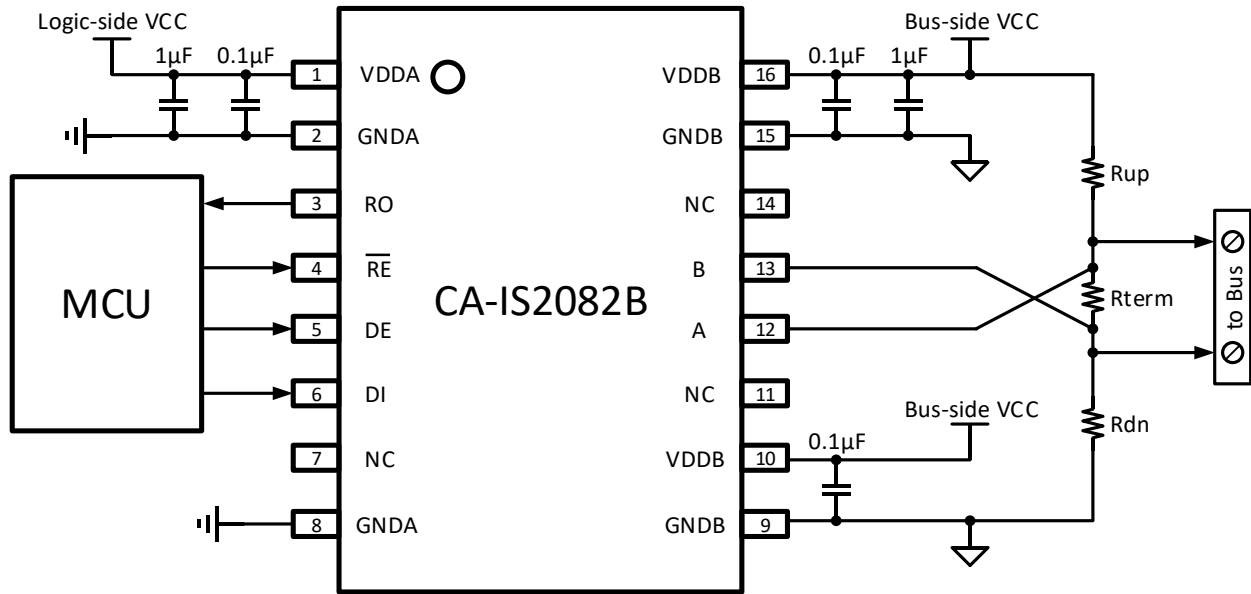


图 4 CA-IS2082B 器件应用示意图

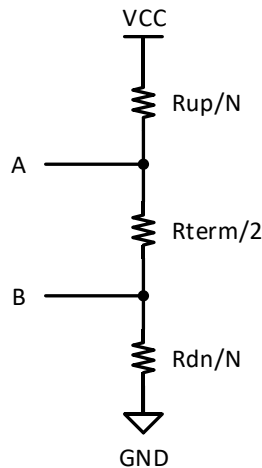


图 5 总线网络电阻等效示意图

假设客户使用 RS-485 收发器的网络通信节点为 N，客户在每个通信节点都加上拉电阻 R_{up} 和下拉电阻 R_{dn} ，同时在整个通信网络中一头一尾两个节点加端接电阻 R_{term} ，那么总线网络电阻的等效示意图如图 5 所示。若此时总线的供电电压是 5V，为了在总线静默时 A 相比于 B 高 200mV，需要满足如下关系式：

$$5 * [(R_{term}/2) / (R_{up}/N + R_{term}/2 + R_{dn}/N)] \geq 0.2$$

端接电阻 R_{term} 通常为 120Ω，客户的上拉电阻和下拉电阻通常取同一个值，假设客户的网络通信节点数量 N 为 32，那么根据上述关系式可得 $R_{up} = R_{dn} \leq 23k\Omega$ 。需要注意的是上下拉电阻的上限值约束仅在通信网络中有接收机判决阈值在 ±200mV 之间（或者接收机的判决阈值大于 0）的 RS-485 收发器时才成立，若整个通信网络中均使用 CA-IS2082B（接收机的判决阈值小于 0），则没有该上限值约束。

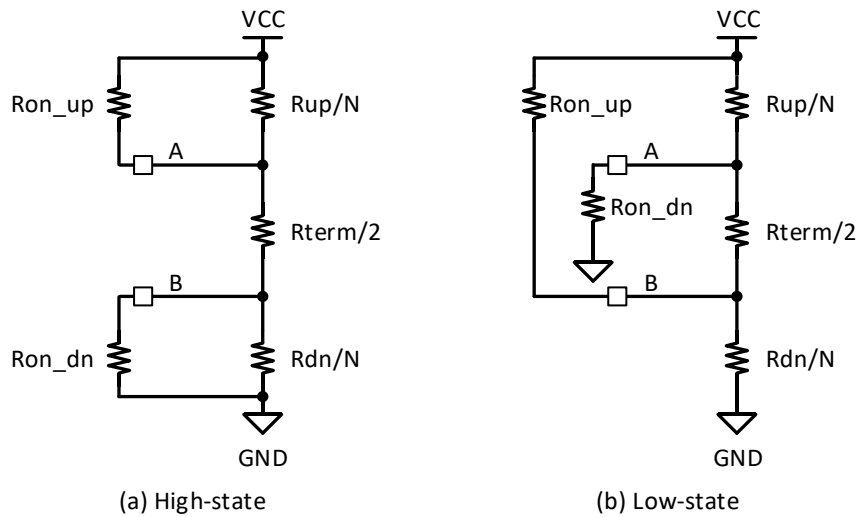


图 6 总线驱高或低时的等效电阻网络

接下来需要讨论一下上下拉电阻的下限值约束，总线驱高或低时的等效电阻网络如图 6 所示。图中 R_{on_up} 和 R_{on_dn} 为 RS-485 收发器驱动器导通时的等效电阻，以 CA-IS2082B 在 5V 供电时差分输出电压最小值为 1.5V（此时负载电阻为 54Ω）举例，假设 R_{on_up} 和 R_{on_dn} 相等，那么有如下关系式：

$$5 * [54 / (54 + R_{on_up} + R_{on_dn})] = 1.5$$

根据上述关系式计算可得 $R_{on_up} = R_{on_dn} = 63\Omega$ （以最恶劣的情况考虑，实际不会这么大）。总线驱高时等效电阻网络如图 6(a)所示，此时 A 一定比 B 高；总线驱低时等效电阻网络如图 6(b)所示，根据节点电流方程可得到如下关系式（式中的 5 表示 VCC 供电为 5V）：

$$(5 - V_A) / (R_{up}/N) = (V_A / R_{on_dn}) + [(V_A - V_B) / (R_{term}/2)]$$

$$(5 - V_B) / R_{on_up} = [V_B / (R_{dn}/N)] + [(V_A - V_B) / (R_{term}/2)]$$

总线驱低时 B 一定要比 A 高，同时上述关系式可以写成如下所示的关系式，式中 V_A 和 V_B 分别为 A 点和 B 点电压：

$$R_{dn}/N = [5 + (V_B - V_A)] * R_{on_dn} / [5 - (V_B - V_A)]$$

考虑到总线上不同节点之间还有地势差，因此希望总线驱动在驱低时 B 点电压比 A 点电压尽可能高，假设此时 $V_B - V_A \geq 3.5V$ ，节点数 N 为 32，那么 $R_{up} = R_{dn} \geq 11.424k\Omega$ 。

综上，在供电电压为 5V，通信节点数为 32 的情况下，CA-IS2082B 的总线端上下拉电阻取值范围是 11.424kΩ 到 23kΩ。

表 1 不同通信节点数对应的上下拉电阻上下限值

通信节点数 N	上下拉电阻下限值 (kΩ)	上下拉电阻上限值 (kΩ)
8	2.856	5.76
16	5.712	11.52
32	11.424	23.04
64	22.848	46.08
96	34.272	69.12
128	45.696	92.16
256	91.392	184.32

不同通信节点数对应的上下拉电阻取值范围可通过前面公式计算得到，计算结果如表 1 所示，该取值范围是在供电电压为 5V、每个通信节点都接上下拉电阻、总线静默时端口 A 比端口 B 电压高 200mV 的情况下计算得到的。需要注意的是，上述计算忽略了 CA-IS2082B 器件总线端口输入阻抗，因为 CA-IS2082B 器件总线端口输入阻抗远大于标准的 1/8 负载对应的 96 kΩ 输入阻抗，在节点数较少的情况下对总线影响很小。另外，如果通信网络中所有的 RS-485 收发器接收机判决阈值小于 0（例如标准给定的-200mV 到-50mV 区间），客户在设计时主要考虑上下拉电阻的下限值即可，可以忽略上限值。这些取值范围仅提供参考，最终以实际工作情况为准。

4 其它注意事项

在 PCB 布板时建议在 CA-IS2082B 器件下方保留一个净空区域，该区域不走任何总线侧和逻辑侧之间的信号或电源或地连线。

使用 CA-IS2082B 器件时建议在总线端口 A 和 B 分别对参考地加合适钳位电压的 TVS 管，提高 EFT 和 Surge 等级，同时保护器件在恶劣的应用环境中不受损坏。

5 版本信息

版本号	说明	页码	作者	日期
Rev1.0	初始版本	NA	Brain Yan	2023/08/22

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>