

CA-IS2092A 带隔离电源的隔离 RS485 辐射抑制参考设计

1 概述

上海川土微电子有限公司是专注于高端模拟芯片研发设计与销售的高科技公司，产品涵盖隔离、接口、驱动与电源等系列。隔离电源以及带隔离电源的隔离器为川土隔离产品线的特色。

CA-IS309x以及CA-S209x系列为川土带电源的隔离RS485的产品从表 1可知，除了CA-IS2092A,其他待电源的隔离RS485均为SOIC16-WB封装。

表 1 川土带隔离电源的 RS485 产品

料号	速率(Mbps)	隔离耐压(kVrms)	封装	封装尺寸(mm×mm)
CA-IS3092W	0.5	5	SOIC16-WB	10.3×7.5
CA-IS3092VW	0.5	5	SOIC16-WB	10.3×7.5
CA-IS2092W	0.5	2.5	SOIC16-WB	10.3×7.5
CA-IS2092VW	0.5	2.5	SOIC16-WB	10.3×7.5
CA-IS3098W	20	5	SOIC16-WB	10.3×7.5
CA-IS3098VW	20	5	SOIC16-WB	10.3×7.5
CA-IS2092A	0.5	2.5	LGA	5.2×4.65

2 CA-IS2092A 和 CA-IS3092W 对比

1> 封装尺寸对比:

由于采用了 LGA 封装，CA-IS2092A 尺寸小，且更薄。

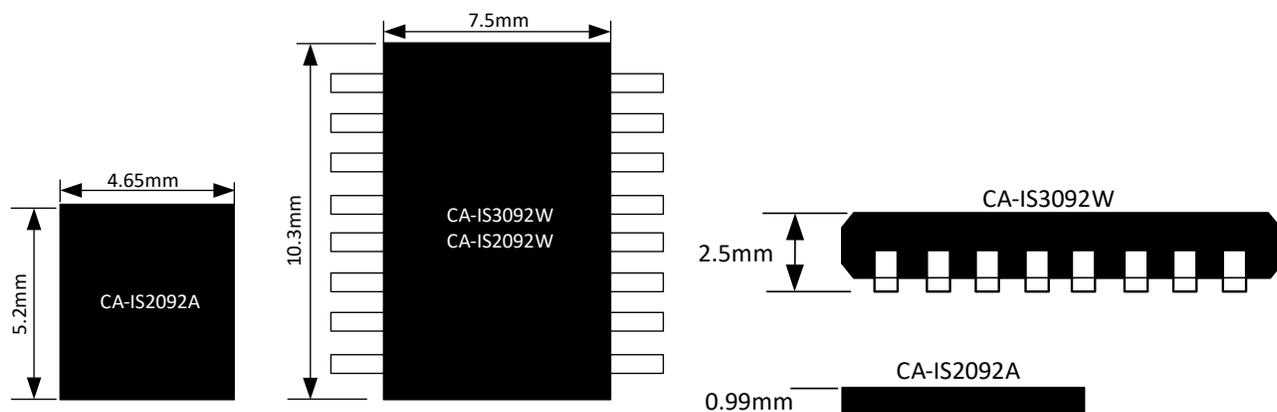


图 1 封装尺寸对比

2> 高压参数对比

由于 CA-IS2092A 采用了小尺寸的 LGA 封装，因此隔离耐压，浪涌电压，爬电距较 CA-IS3092W 都相应降低。

表 2 高压参数对比

料号	封装尺寸 (mmxmm)	隔离耐压 VISO (kVrms)	爬电距 CPG(mm)	浪涌电压 VIOSM(kVpk)	最大工作隔离电压 VIORM(Vrms)	最大瞬态隔离电压 VIOTM(Vpk)
CA-IS3092W	10.3x7.5	5	SOIC16-WB	10000	1000	7070
CA-IS2092A	5.2x4.65	2.5	LGA	5	400	3535

注：CA-IS3092W 为增强绝缘，CA-IS2092A 为基本绝缘。

3 CA-IS2092A 的 PCB 设计以抑制辐射干扰 EMR 建议

CA-IS2092A 是集成隔离电源的隔离式 RS-485 收发器，隔离电源的输出 VISO_{OUT} 有 5V 和 3.3V 两种选项，通过 SEL 管脚选择，可提供最大负载 100mA。芯片内置微变压器，由于变压器尺寸和功率的限制，通过微变压器的开关频率相对较高，到约 25MHz。短时间内大电流的切换会产生电磁辐射，引起较大的 di/dt 及 di/dt 噪声。器件工作所产生的噪声在 30MHz 至 1GHz 范围内，产生辐射干扰问题。

通过合适的 PCB 布局和其它方法的设计，此产品可以满足在非屏蔽应用环境下的 EN55032 的 class B 类辐射标准。

图 1 为 CA-IS2092A LGA16 引脚的配置图。

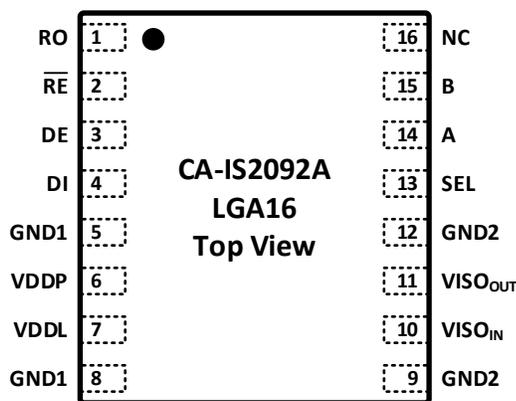


图 2 CA-IS2092A LGA16 配置

引脚 9 VISO_{IN} 是总线侧 RS-485 供电电源，应用时应该把这两个引脚连接在一起。

PCB 设计建议：

- 1> 引脚 6 VDDP 是逻辑侧 DC-DC 供电电源，引脚 5 为逻辑侧供电地。VDDP(PIN6)和 GND1(PIN5)引脚间跨接 10μF 和 0.1μF 电容，其中 10μF 电容靠近芯片引脚摆放。
- 2> 引脚 7 VDDL 是逻辑侧 RS-485 供电电源，引脚 8 为逻辑侧供电地。VDDL(PIN7)和 GND1(PIN8)引脚间跨接 1μF 电容。
- 3> 引脚 11 VISO_{OUT} 是总线侧 DC-DC 输出的电源，引脚 12 为隔离电源地。VISO_{OUT}(PIN11)和 GNDB(PIN12)间跨接 10μF 和 0.1μF 电容，其中 10μF 电容靠近芯片引脚摆放。
- 4> 引脚 10 VISO_{IN} 是总线侧 RS485 的供电输入，引脚 9 为总线侧 RS485 的地。在 VISOIN(PIN10)和 GND2(PIN9)间跨接 1μF 电容。该电容紧靠芯片引脚摆放。
- 5> 以上电容均和芯片同一侧摆放，不要通过过孔和芯片引脚相连。

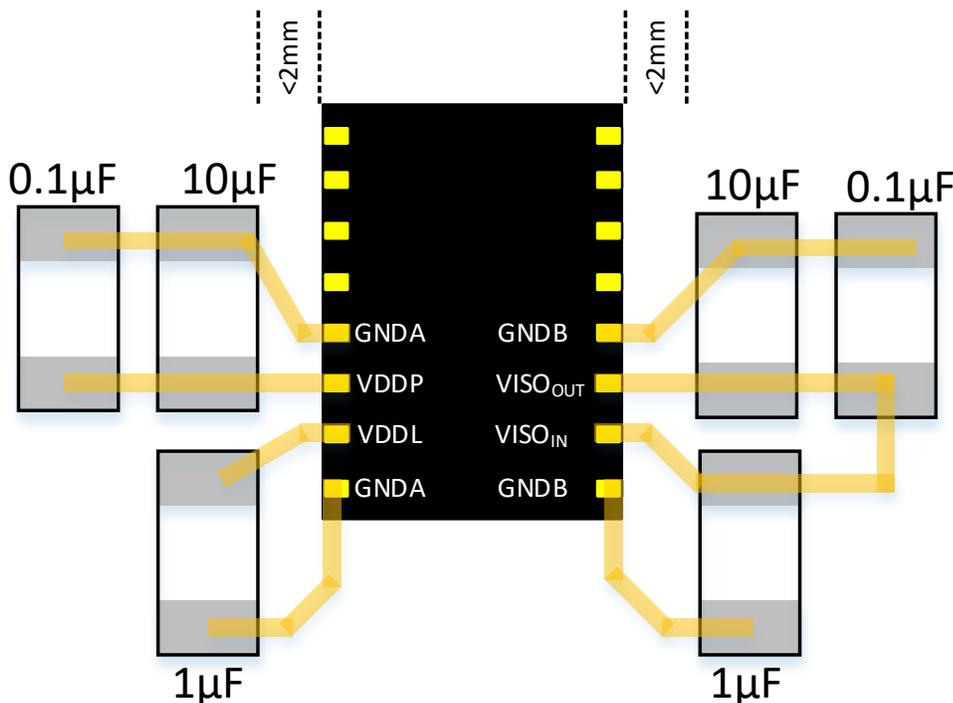


图 3 PCB 设计简易图

- 6> 当需要在供电电源线和地线上放置过孔时，过孔的摆放位置应在电容相对于芯片引脚的外侧，而非放置在电容和芯片之间，减少过孔寄生电感的影响，如下图所示。如果 PCB 空间允许，可以多放置几个过孔，过孔的寄生电感相当于并联，进一步减少过孔的寄生电感带来的影响。

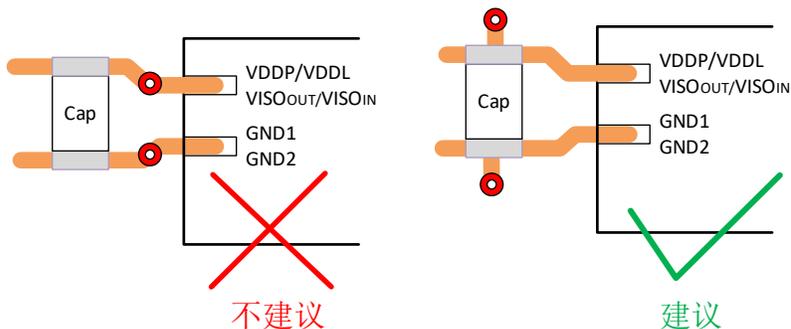


图 4 不要在功率通路上打过孔

- 7> 电源的输入和输出电容靠近芯片引脚摆放，间距不要超过 2mm 以减小寄生电感。

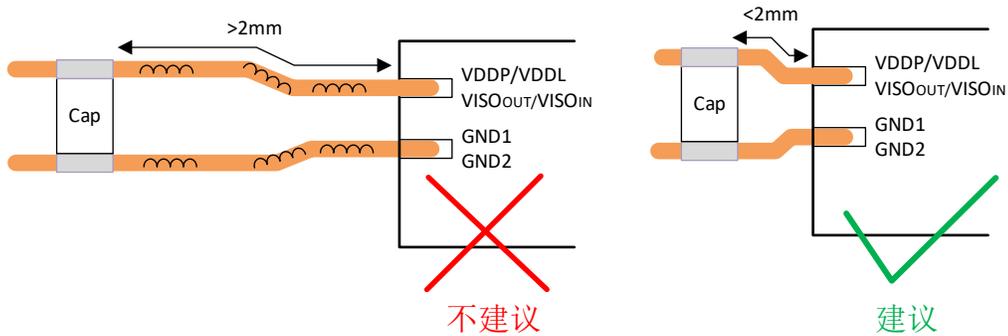


图 5 功率输入引脚引线尽量短

8> 当 PCB 的两信号层存在面积敷铜交叠时，就会形成一个电容。这种拼接电容分布电感极低，高频特性比较好，可以覆盖较宽的频率。利用这种拼接电容，可以改善 EMI 的辐射干扰，下面是 4 层 PCB 的一种布线方法。4 层 PCB 的中间两层加入 VDDP 和 VISO_{OUT} 铜箔，以增加其对 GND1 的寄生电容；GND1, GND2 的交叠电容，改善 EMI 效果明显，应注意 GND1 和 GND2 的 PCB 层间距离，一般应大于 0.4mm。

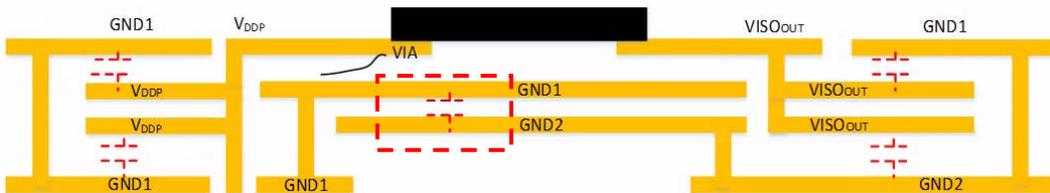


图 6 加入 GND1 和 GND2 寄生 Y 电容以及加入 VDDP 寄生电容

9> 由于隔离器两端的地可能存在高压，因此初级地和 GND1 和次级地 GND2 之间的铜箔爬电距离不应低于芯片初级和次级之间的距离，建议>3.45mm。

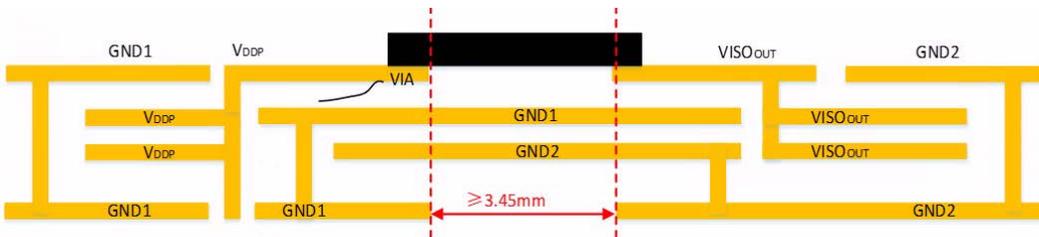


图 7 隔离器两侧注意保持爬电距

10> 利用过孔建立屏障墙，为内层电源平面构建边缘保护。

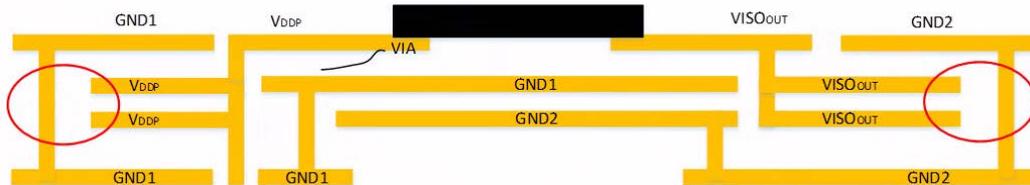


图 8 两侧地建立屏蔽墙

4 PCB 布局实例

线路图

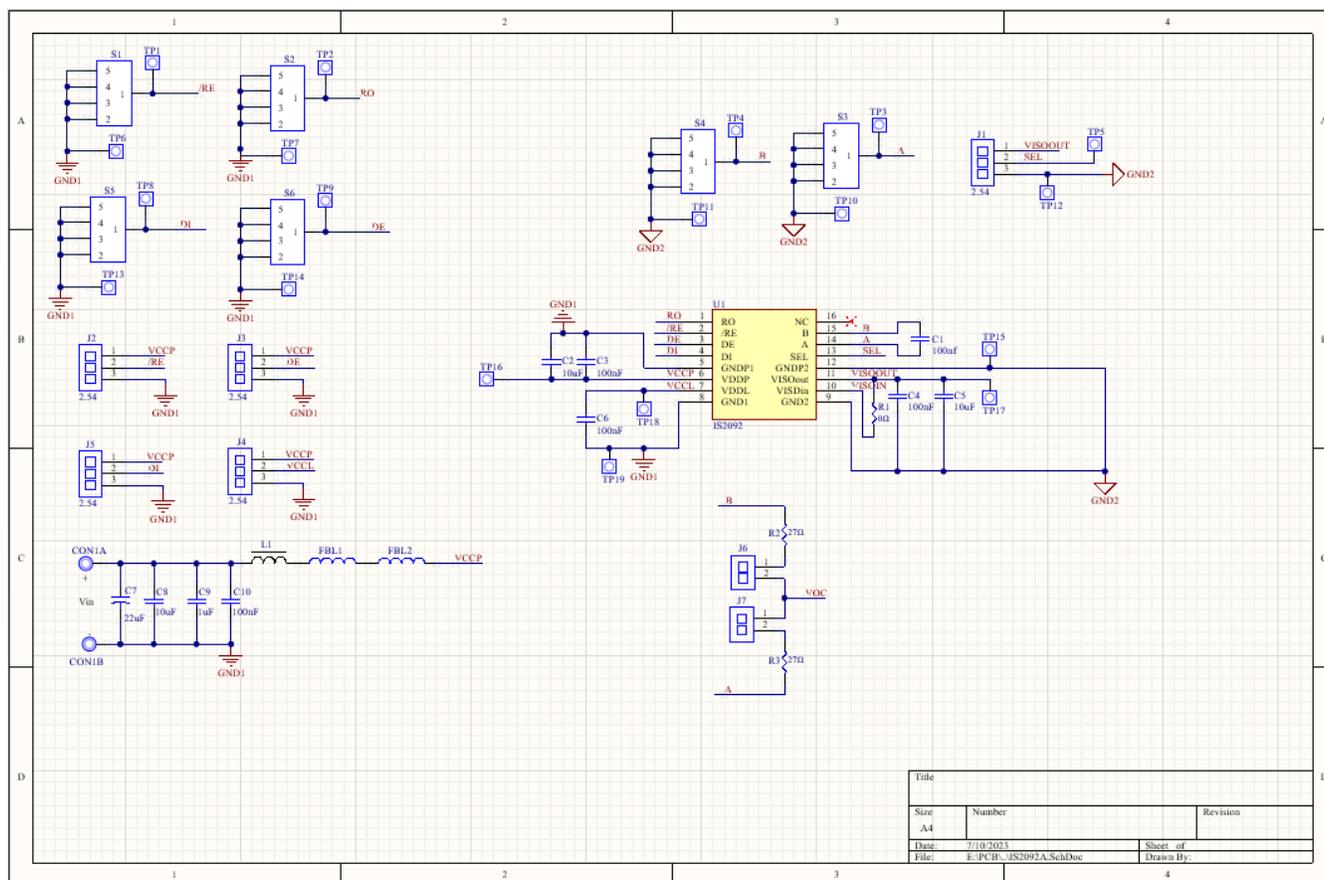
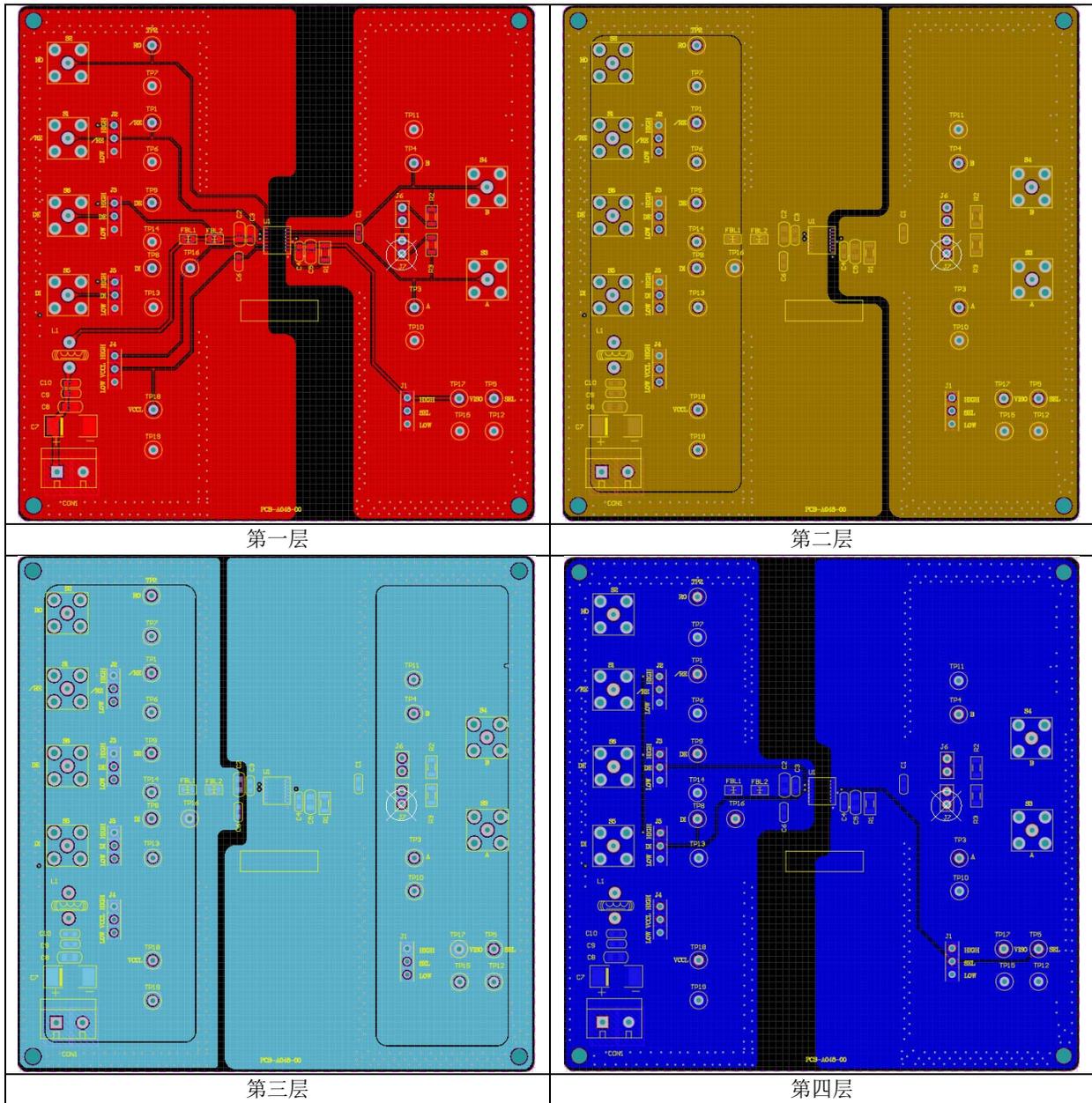


图 9 实例线路图



第一层

第二层

第三层

第四层

物料清单

Item	Ref Des	Description	Package	MFR	PN.
1	CON1	CONN, 5.08mm, Rising Cage Clamp	-	Wurth Elektronik	691236510002
2	FBL1,FBL2	Beed 600Ohm	0805	Linekey	FBG2912-601Y
3	C7	Tantalum cap, 22uF	7343	AVX	TAJD226K025RNJ
4	C2,C5	MLCC, 10μF/10V, X7R	0805	-	Standard
5	C9	MLCC, 1μF /10V, X7R	0603	-	Standard
6	C1, C3, C4, C6, C10	MLCC, 100nF/10V, X7R	0603	-	Standard
7	R1	Resistor , 0Ω, 1%	1206	-	Standard
8	R2,R3	Resistor , 27Ω, 1%	1206	-	Standard
9	S1,S2,S3,S4,S5,S6	SMA Connect, 2.54mm	-	-	Standard
10	L1	24uH, 0.7mm, 4.5mm*12mm	-	Wurth Elektronik	7447043
11	U1	CA-IS2092A	LGA16	Chipanalog	CA-IS2092A
12	TP1,TP2,TP3,TP4,TP8,TP9,TP18,TP19	Test Point, Yellow, Through Hole, 1mm	-	Keystone	5009
13	TP5,TP6,TP7,TP8,TP10,TP11,TP12,TP13,TP14,TP15,TP16	Test Point, Black, Through Hole, 1mm	-	Keystone	5001
14	J1,J2,J3,J4	Header, 3 pin, 2.54mm	-	-	Standard
15	J6,J7	Header, 2pin, 2.54mm	-	-	Standard
16	PCB	Four layers PCB, FR-4, PCB-A048-00 1.0mm thickness, 100mm*100mm, The distance between Inner Layer1 and Inner Layer2 should be greater than 0.4mm.	-	-	-

5 版本信息

版本	日期	状态描述
Ver1.0	July.2023	

6 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。



<http://www.chipanalog.com>